

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 7
H01L 29/786

(11) 공개번호 특2002-0070878
(43) 공개일자 2002년09월11일

(21) 출원번호 10-2002-0010940
(22) 출원일자 2002년02월28일

(30) 우선권주장 JP-P-2001-00056049 2001년02월28일 일본(JP)

(71) 출원인 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자 하마다타카시
일본카나가와Ken아쓰기시하세398가부시키가이샤한도오따이에네루기켄큐쇼(내)
아라이야수유기
일본카나가와Ken아쓰기시하세398가부시키가이샤한도오따이에네루기켄큐쇼(내)

(74) 대리인 이병호

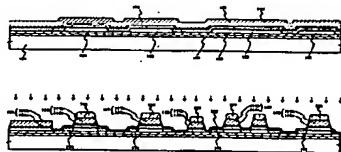
심사청구 : 없음

(54) 반도체 디바이스를 제조하는 방법

요약

픽셀(pixel) 부분 및 구동 회로의 구동 조건들에 대해 최적인 TFT 구조들이 적은 수의 포토 마스크(photo mask)를 사용하여 구해진다. 제 1 절연막 상에는 제 1 내지 제 3 반도체막이 형성된다. 제 1 내지 제 3 반도체막에는 제 1 형상의 제 1, 제 2, 및 제 3 전극이 형성된다. 제 1 형상의 제 1, 제 2, 및 제 3 전극은 제 1 도핑 처리에서 마스크로 사용되어, 제 1 내지 제 3 반도체막에 한 도전형의 제 1 농도 불순물 영역을 형성한다. 제 2 형상의 제 1, 제 2, 및 제 3 전극은 제 1 형상의 제 1, 제 2, 및 제 3 전극으로부터 형성된다. 제 2 도핑 처리에서는 제 2 반도체막에 제 2 형상의 제 2 전극과 오버랩되는 한 도전형의 제 2 농도 불순물 영역이 형성된다. 또한, 제 2 도핑 처리에서는 제 1 및 제 2 반도체막에 놓이는 한 도전형의 제 3 농도 불순물 영역들이 형성된다. 제 3 도핑 처리에서는 제 3 반도체막에 한 도전형과 반대인 다른 도전형을 갖는 제 4 및 제 5 농도 불순물 영역이 형성된다.

대표도



색인어

도핑 처리, 반도체 디바이스, 반도체막, 도전성막, 불순물 영역, 전극

명세서

도면의 간단한 설명

도 1a 및 도 1b는 본 발명에 따른 TFT를 제조하는 처리를 설명하는 단면도.

도 2a 및 도 2b는 본 발명에 따른 TFT를 제조하는 처리를 설명하는 단면도.

도 3a 및 도 3b는 본 발명에 따른 TFT를 제조하는 처리를 설명하는 단면도.

도 4는 본 발명에 따른 TFT를 제작하는 처리를 설명하는 단면도.

도 5는 반사 디스플레이 디바이스의 액티브 매트릭스(active matrix) 기판 중 픽셀(pixel) 부분의 구조를 설명하는 상면도.

도 6은 액티브 매트릭스 기판의 회로 구조를 설명하는 도면.

도 7a 및 도 7b는 본 발명에 따른 TFT를 제조하는 처리를 설명하는 단면도.

도 8a 및 도 8b는 본 발명에 따른 TFT를 제조하는 처리를 설명하는 단면도.

도 9a 및 도 9b는 본 발명에 따른 TFT를 제조하는 처리를 설명하는 단면도.

도 10은 본 발명에 따른 TFT를 제조하는 처리를 설명하는 단면도.

도 11a 및 도 11b는 투과 디스플레이 디바이스를 제조하는 방법을 설명하는 단면도.

도 12는 투과 액정 디스플레이 디바이스의 구조를 도시하는 단면도.

도 13은 발광 디바이스에서 픽셀 부분의 구조를 설명하는 단면도.

도 14는 발광 디바이스의 구조를 도시하는 단면도.

도 15는 액티브 매트릭스 기판의 구조를 설명하는 투과도.

도 16a 내지 도 16e는 액정 구조를 갖는 반도체막을 제조하는 처리를 설명하는 도면.

도 17a 내지 도 17c는 액정 구조를 갖는 반도체막을 제조하는 처리를 설명하는 도면.

도 18은 본 발명의 액티브 매트릭스 기판의 구조를 설명하는 단면도.

도 19a 및 도 19b는 NMOS 회로의 구조를 도시하는 도면.

도 20a 및 도 20b는 쉬프트 레지스터의 구조를 도시하는 도면.

도 21은 n-채널 TFT로 구성된 게이트선 구동 회로의 구조를 도시하는 도면.

도 22는 디코더 입력 신호의 타이밍도.

도 23은 n-채널 TFT로 구성된 데이터선 구동 회로의 구조를 도시하는 도면.

도 24는 p-채널 TFT로 구성된 게이트선 구동 회로의 구조를 도시하는 도면.

도 25는 디코더 입력 신호의 타이밍도.

도 26은 p-채널 TFT로 구성된 데이터선 구동 회로의 구조를 도시하는 도면.

도 27a 내지 도 27f는 반도체 디바이스의 예들을 도시하는 도면.

도 28a 내지 도 28c는 반도체 디바이스의 예들을 도시하는 도면.

도 29는 결정 구조를 갖는 반도체막을 제조하는 처리를 설명하는 도면.

도 30은 게이트 절연막 및 질화탄탈막을 통한 인도핑의 프로파일을 도시하는 그래프.

도 31은 질화탄탈막 두께에 상수를 곱하여 게이트 절연막 두께로 변환하는 것을 통한 피팅(fitting)으로 구해진 그래프.

* 도면의 주요 부분에 대한 부호의 설명 *

101 : 기판 102, 103 : 제 1 절연막

104 내지 107 : 반도체막 108, 122 : 제 2 절연막

111 내지 114 : 레지스트 마스크

116 내지 118 : 제 1 형상의 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 분야

본 발명은 결정 구조를 갖고 기판 상에 형성된 반도체막으로 구성되는 박막 트랜지스터(이후 TFT(thin film transistor)라 칭하여지는)를 갖춘 반도체 디바이스, 및 그 반도체 디바이스를 제조하는 방법에 관한 것이다.

관련 기술의 설명

텍스트 및 영상을 디스플레이하기 위한 디스플레이에는 텔레비전 수상기, 개인용 컴퓨터, 및 셀룰러폰과 같이 반도체 소자를 갖는 다양한 반도체 디바이스에서 사람들이 정보를 얻는데 필수적인 수단이다. CRT는 시장에서 오랫동안 대표적인 디스플레이의 위치를 차지하였다. 한편, 액정 디스플레이 및 다른 평면 디스플레이(평면 패널 디스플레이(flat panel display))는 최근에 지속적으로 증가되어, 전자 디바이스의 무게 및 크기를 줄이는데 바람직하다.

평면 패널 디스플레이의 한가지 모드는 TFT가 각 픽셀(pixel) 또는 도트(dot)에 제공되고 데이터 신호가 순차적으로 기록되어 영상을 디스플레이하는 액티브 매트릭스(active matrix) 구동이다. TFT는 액티브 매트릭스 구동에서 필수적인 소자이다.

대부분의 TFT는 비결정질 실리콘으로 형성된다. 이들 TFT는 고속으로 동작할 수 없으므로, 단지 각 도트에 제공된 스위칭 소자로만 사용된다. TFT가 스위칭 소자 이외의 소자를 만들 수 없으므로, TAB(tape automated bonding) 또는 COG(chip on glass)로 장착된 외부 IC(드라이버 IC)가 비디오 신호를 데이터선에 출력하기 위한 데이터선측 구동 회로 및 주사 신호를 주사선에 출력하기 위한 주사선측 구동 회로에 사용된다.

그러나, 드라이버 IC를 장착하는 것은 픽셀 밀도가 증가됨에 따라 픽셀 피치(pitch)가 감소되기 때문에 제한된 방법으로 생각된다. 예를 들어, RGB 칼라 방법의 UXGA 레벨(1200 x 1600 픽셀)의 픽셀 밀도에서는 대략적인 추정으로 적어도 6000개 연결 단자가 필요하다. 연결 단자수의 증가는 접촉 실패의 발생 회수를 증가시키게 된다. 이는 또한 픽셀 부분의 주변에 경계 영역(화상 프레임 영역이라 칭하여지는)을 증가시켜, 이 디스플레이를 사용하는 반도체 디바이스의 크기를 줄이는데 방해가 되고 반도체 디바이스의 외부 설계를 망쳐놓는다. 이러한 배경으로, 구동 회로가 픽셀 부분에 집적되는 디스플레이 디바이스가 명확하게 필요로 한다. 픽셀 부분과 주사선측 및 데이터선측 구동 회로를 똑같은 기판 상에 집적하여 형성함으로서, 연결 단자의 수뿐만 아니라 화상 프레임 영역의 면적도 현저하게 감소될 수 있다.

집적된 구동 회로는 높은 구동 성능(ON 전류: I_{on})을 갖고 핫 캐리어(hot carrier) 효과로 인한 저하를 방지함으로서 확실성을 개선하도록 요구되는 반면, 픽셀 부분에는 낮은 OFF 전류(I_{off})가 요구된다. LDD(lightly doped drain) 구조는 OFF 전류값을 감소시킬 수 있는 TFT 구조로 공지되어 있다. LDD 구조에서는, 불순물 원소로 약간 도핑된 LDD 영역이 채널 형성 영역과 불순물 원소로 많이 도핑된 드레인 영역 또는 소스 영역 사이에 위치한다. 핫 캐리어로 인한 ON 전류값의 저하(degradation)를 방지하는데 효과적인 것으로 공지된 구조는 LDD 영역이 부분적으로 게이트 전극과 오버랩되는 LDD 구조(게이트-드레인 오버랩된 LDD; 이후 GOLD(gate-drain overlapped LDD)라 칭하여지는)이다.

TFT는 포토 마스크(photo mask)를 사용하여 막을 소정의 형상으로 에칭하면서 반도체막과 절연막 또는 도전성막을 적층하여 제조된다. 픽셀 부분 및 구동 회로에 대해 요구되는 것에 맞추어 TFT 구조의 최적화가 단순히 포토 마스크의 수를 증가시켜 다루어지면, 제조 처리는 복잡해지고 단계의 수는 불가피하게 증가된다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 문제점을 해결하도록 이루어졌으므로, 본 발명의 목적은 적은 수의 포토 마스크(photo mask)를 사용하여 픽셀 부분 및 구동 회로의 구동 조건에 최적인 TFT 구조를 구하는 기술을 제공하는 것이다.

본 발명의 상기 목적을 이루기 위해, 본 발명은 게이트 절연막과 접촉하는 제 1 층이 제 2 층 보다 채널 길이 방향으로 더 긴 2-층 구조의 게이트 전극을 선택한다. 2-층 구조의 게이트 전극은 구동 회로 부분의 n-채널 TFT에서 자기-정렬 방식(self-aligning manner)으로 소스 및 드레인 영역과 LDD 영역을 형성하는데 사용된다. 픽셀 부분에서 n-채널 TFT의 소스 및 드레인 영역과 LDD 영역은 자기-정렬 방식이 아니라 포토 마스크를 사용하여 형성된다. 구동 회로 부분에서 n-채널 TFT의 LDD 영역은 게이트 전극과 오버랩되도록 위치하고, 픽셀 부분에서 n-채널 TFT의 LDD 영역은 게이트 전극 외부에 위치한다(게이트 전극과 오버랩되지 않도록). 소스 및 드레인 영역과, 게이트 전극에 대해 다른 위치 관계를 갖는 2가지 타입의 LDD 영역은 2회의 도핑 처리 단계를 통해 형성된다.

상술된 바와 같이, 본 발명에 따라 반도체 디바이스를 제조하는 방법은:

제 1 절연막에 서로 분리된 제 1 내지 제 3 반도체막을 형성하는 단계;

제 1 반도체막, 제 2 반도체막, 및 제 3 반도체막 상에 전극들과 막들 사이에 제 2 절연막을 개재시켜 각각 제 1 전극, 제 2 전극, 및 제 3 전극을 형성하는 단계로서, 상기 전극들은 제 1 형상을 갖는, 상기 형성 단계;

제 1 내지 제 3 반도체막에서 한 도전형의 제 1 농도 불순물 영역을 형성하기 위해 제 1 도핑 처리에서 마스크로 제 1 형상의 제 1 내지 제 3 전극을 사용하는 단계;

제 1 형상의 제 1 내지 제 3 전극으로부터 제 2 형상의 제 1 내지 제 3 전극을 형성하는 단계;

제 2 도핑 처리를 통해 제 2 반도체막에서 한 도전형의 제 2 농도 불순물 영역을 형성하고, 제 1 반도체막 및 제 2 반도체막에서 한 도전형의 제 3 농도 불순물 영역을 형성하는 단계로서, 상기 제 2 농도 불순물 영역이 제 2 형상의 제 2 전극과 오버랩되는, 상기 형성 단계; 및

제 3 도핑 처리를 통해 제 3 반도체막에서 제 4 농도 불순물 영역 및 제 5 농도 불순물 영역을 형성하는 단계로서, 상기 영역들은 한 도전형과 반대인 다른 도전형을 갖는, 상기 형성 단계를 구비하는 것으로 특징지워진다. 다시 말하면, 본 발명의 반도체 디바이스 제조 방법은 TFT의 게이트 전극을 형성하기 위한 에칭 처리가 도핑 처리와 조합되어 LDD 영역 및 소스 또는 드레인 영역을 자기-정렬 방식으로 형성한다.

또한, 본 발명의 또 다른 구조에 따라, 그 방법은:

제 1 절연막에 서로 분리된 제 1 반도체막, 제 2 반도체막, 및 제 3 반도체막을 형성하는 단계; 제 1 반도체막 위에 제 2 절연막을 개재시켜 제 1 형상의 제 1 전극을 형성하는 단계; 제 1 반도체막에서 한 도전형의 제 1 농도 불순물 영역을 형성하기 위해 마스크로서 제 1 형상의 제 1 전극을 사용하는 단계; 제 2 반도체막과 제 3 반도체막 위에 반도체막들과 전극들 사이에 제 2 절연막을 개재시켜 제 1 형상의 제 2 전극 및 제 3 전극을 형성하는 단계; 제 2 형상의 제 2 전극 및 제 3 전극을 형성하기 위해 제 1 형상의 제 2 전극 및 제 3 전극을 에칭하는 단계; 제 2 도핑 처리를 통해 제 2 반도체막에서 한 도전형의 제 2 농도 불순물 영역을 형성하고, 제 1 반도체막과 제 2 반도체막에서 한 도전형의 제 3 농도 불순물 영역을 형성하는 단계로서, 상기 제 2 농도 불순물 영역은 제 2 형상의 제 2 전극과 오버랩되는, 상기 형성 단계; 및 제 3 도핑 처리를 통해 제 3 반도체막에서 제 4 농도 불순물 영역 및 제 5 농도 불순물 영역을 형성하는 단계로서, 상기 영역들은 한 도전형과 반대인 다른 도전형을 갖는, 상기 형성 단계를 구비하는 것으로 특징지워진다.

이러한 제조 방법으로, 게이트 전극과 오버랩되는 LDD는 구동 회로의 n-채널 TFT에서 자기-정렬 방식으로 형성된다. 이 LDD는 게이트 전극의 막 두께 차이(레벨 차이)를 사용함으로서 똑같은 도핑 단계를 통해 소스 또는 드레인 영역이 형성되는 것과 동시에 구해진다. 한편, 마스크는 픽셀 부분의 n-채널 TFT에서 게이트 전극과 오버랩되지 않는 LDD를 형성하는데 사용된다.

본 발명에서 반도체 디바이스란 말은 반도체 기능 특성을 사용하는 디바이스를 일반적으로 칭하고, 대표적으로, 디스플레이 디바이스, TFT를 갖는 액정 디스플레이 디바이스, 및 반도체 집적 회로(마이크로 프로세서, 신호 처리 회로, 고주파수 회로 등)가 거기에 포함된다.

발명의 구성 및 작용

실시예 모드 1

도 1a 내지 도 6을 참고로 본 발명의 실시예 모드가 설명된다. 여기서는, 픽셀 부분의 TFT 및 그 픽셀 부분 가까이에 위치하는 구동 회로의 TFT(n-채널 TFT 및 p-채널 TFT)를 동일한 기판에 동시 형성하는 방법이 상세히 설명된다.

도 1a에서, 기판(101)은 유리 기판, 수정 기판, 또는 세라믹 기판이다. 그 표면상에 절연막이 형성된, 실리콘 기판, 금 속 기판, 또는 스테인레스 스틸 기판이 대신 사용될 수 있다. 본 실시예 모드의 처리 온도를 견딜 수 있는 열저항을 가지면, 플라스틱 기판도 또한 사용될 수 있다.

기판(101)상에는 제 1 절연막(102, 103)이 형성된다. 여기서 도시된 제 1 절연막은 2-층 구조를 갖지만, 물론 단일 층 구조를 가질 수도 있다. 반도체막(104 내지 107)은 결정 구조를 갖는 반도체이다. 반도체막은 제 1 절연막에 형성된 비결정질 반도체막을 결정화하여 구해진다. 침적(deposition) 이후, 비결정질 반도체막은 열처리 또는 레이저광 조사에 의해 결정화된다. 비결정질 반도체막의 재료는 제한되지 않지만, 실리콘 또는 실리콘 게르마늄(Si_xGe_{1-x} ; $0 < x < 1$, 전형적으로 $x = 0.001$ 내지 0.05) 합금이 바람직하게 사용된다.

비결정질 반도체막이 레이저빔 조사에 의해 결정화될 때, 펄스 발진형 또는 연속-파형 기체 레이저 또는 고체 레이저가 사용된다. 사용되는 기체 레이저의 예로는 KrF 엑사이머(excimer) 레이저, ArF 엑사이머 레이저, 및 XeCl 엑사이머 레이저가 포함된다. 사용되는 레이저 에미터에서, YAG, YVO₄, YLF, YAlO₃ 등의 결정은 Cr, Nd, Er, Ho, Ce, Co, T_i, 또는 T_m으로 도핑된다. 비록 도핑에 사용되는 재료가 변한다 하더라도, 레이저 에미터로부터 발광되는 레이저의 기본파는 1μm 내지 2μm의 파장을 갖는다. 비결정질 반도체막을 결정화하기 위해, 레이저광은 반도체막에 의해 선택적으로 흡수되어야 한다. 그러므로, 가시광선과 자외선 사이의 파장을 갖는 레이저광을 선택하고 기본파의 제 2 고조파(harm onic) 내지 제 4 고조파를 사용하는 것이 바람직하다. 전형적으로, 비결정질 반도체막은 Nd:YVO₄ 레이저 에미터에 의한(기본파: 1064nm) 제 2 고조파(532nm)를 사용하여 결정화된다. 그 이외에, 아르곤 레이저 에미터 및 크립톤(krypton) 레이저 에미터와 같은 기체 레이저 에미터가 사용될 수 있다.

결정화 이전에, 비결정질 반도체막은 반도체의 결정화에 촉매 효과를 갖는 니켈 또는 다른 금속 원소로 도핑될 수 있다. 예를 들어, 니켈을 포함하는 용액을 비결정질 실리콘막의 표면에 유지시키고, 그 막은 건조되고(dehydrate)(500°C에서 1시간 동안), 이어서 열적 결정화가 행해진다(550°C에서 4시간 동안). 이때, 그 막은 결정성을 개선하도록 YAG 레이저, YVO₄ 레이저, 및 YLF 레이저로부터 선택된 연속파 레이저광의 제 2 고조파로 조사된다.

다음에는 제 2 절연막(108)이 형성되어 반도체막(104 내지 107)을 덮는다. 제 2 절연막(108)은 실리콘을 포함하는 절연막이며, 플라스마(plasma) CVD 또는 스퍼터링(sputtering)에 의해 형성된다. 그 두께는 40 내지 150nm로 설정된다. 반도체막(104 내지 107)을 덮도록 형성된 제 2 절연막은 본 실시예 모드에서 제조된 TFT의 게이트 절연막으로 사용된다.

게이트 전극 및 배선을 형성하기 위한 도전성막은 제 2 절연막(108)상에 형성된다. 본 발명의 게이트 전극은 2층 또는 그 이상의 도전성막의 적층으로 형성된다. 제 1 도전성막(109)은 몰리브덴 또는 텅스텐과 같이 높은 녹는점을 갖는 금속의 질화물로부터 제 2 절연막(108)에 형성된다. 제 2 도전성막(110)은 높은 녹는점을 갖는 금속, 또는 알루미늄 및 구리와 같은 저저항 금속, 또는 폴리실리콘으로부터 제 1 도전성막 상에 형성된다. 특정하게, W, Mo, Ta, 및 Ti로 구성된 그룹에서 선택된 하나 또는 이상의 원소 종류의 질화물이 제 1 도전성막으로 사용되는 반면, 제 2 도전성막은 W, Mo, Ta, Ti, Al, 및 Cu로 구성된 그룹에서 선택된 하나 또는 그 이상의 원소 종류의 합금 또는 n형 다결정질 실리콘을 사용한다.

도 1b에 도시된 바와 같이, 레지스트 마스크(resist mask)(111 내지 114)는 제 1 도전성막 및 제 2 도전성막에 제 1 에칭 처리를 실행하도록 다음에 형성된다. 이 에칭 처리를 통해 에지 주변에 테이퍼된(tapered) 제 1 형상의 전극(116 내지 118) 및 제 1 형상의 배선(114, 115)이 형성된다. 전극들은 45 내지 75°의 각도로 테이퍼된다. 제 1 형상의 전극(116 내지 118) 및 제 1 형상의 배선(114, 115)으로 덮히지 않은 제 2 절연막(122)의 영역은 에칭되어 20 내지 50nm 만큼 얇아진다.

제 1 도핑 처리는 이온들이 질량 분할 없이 삽입되는 이온 주입 또는 이온 도핑을 사용한다. 도핑에서, 제 1 형상의 전극(116 내지 118)은 반도체막(104 내지 107)에 한 도전형의 제 1 농도 불순물 영역(123 내지 126)을 형성하는데 마스크로서 사용된다. 제 1 농도는 1×10^{17} 내지 1×10^{19} atoms/cm³과 같다.

레지스트 마스크(111 내지 114)를 제거하지 않는, 제 2 에칭 처리가 도 2a에 도시된 바와 같이 실행된다. 이 에칭 처리에서, 제 2 도전성막에는 이방성 에칭(anisotropic etching)이 행해져, 제 2 형상의 전극(127 내지 129) 및 제 2 형상의 배선(130, 131)이 형성된다. 제 2 형상의 전극(127 내지 129) 및 제 2 형상의 배선(130, 131)으로 덮이지 않은 제 2 절연막의 영역은 에칭되어 20 내지 50nm 만큼 얇아진다.

이후에, 반도체막(104) 전체를 덮는 마스크(133), 반도체막(106)에 위치하는 제 2 형상의 전극(129)을 덮는 마스크(134), 및 반도체막(107)을 덮는 마스크(134)가 형성되어 제 2 도핑 처리를 실행한다. 제 2 도핑 처리를 통해, 한 도전형의 제 2 농도 불순물 영역이 반도체막(105)에 형성되고, 한 도전형의 제 3 농도 불순물 영역이 반도체막(105, 106)에 형성된다.

한 도전형의 제 2 농도 불순물 영역(135)은 제 2 형상의 전극(128)을 구성하는 제 1 도전성막(128a)과 오버랩되는 위치에 자기-정렬 방식으로 형성된다. 이온 도핑에 의해 주어진 불순물은 반도체막이 도핑되기 이전에 제 1 도전성막(128a)을 통해 전송된다. 그러므로, 반도체막에 이르는 이온의 수는 영역(135)에서의 농도가 제 3 농도 n형 불순물 영역에서 보다 더 낮아지게 감소된다. 영역(135)의 불순물 농도는 1×10^{16} 내지 1×10^{17} atoms/cm³이다. 제 3 농도 불순물 영역(136, 137)은 1×10^{20} 내지 1×10^{21} atoms/cm³의 농도에서 n형 불순물로 도핑된다.

다음에는 도 3a에 도시된 바와 같이 레지스트 마스크(138)가 형성되어 제 3 도핑 처리를 실행한다. 반도체막(104)에서는 제 3 도핑 처리를 통해 다른 도전형(한 도전형과 반대인 도전형)의 제 4 농도 불순물 영역(139) 및 다른 도전형의 제 5 농도 불순물 영역(140)이 형성된다. 다른 도전형의 제 4 농도 불순물 영역은 제 2 형상의 전극(127)과 오버랩하는 영역에 형성되고, 1×10^{18} 내지 1×10^{19} atoms/cm³의 농도에서 불순물 원소로 도핑된다. 이 불순물 농도는 그 영역이 LDD로 동작하도록 허용한다. 제 5 농도 불순물 영역(140)은 2×10^{20} 내지 3×10^{21} atoms/cm³의 농도에서 불순물 원소로 도핑된다.

상기 단계를 통해, 불순물로 도핑된 영역이 원자가 전자(valence electron)를 제어할 목적으로 각 반도체막에 형성된다. 제 2 형상의 전극(127 내지 129)은 게이트 전극으로 동작한다. 제 2 형상의 배선(130)은 픽셀 부분에서 저장 캐패시터를 구성하는 전극들 중 하나로 동작한다. 제 2 형상의 배선(131)은 픽셀 부분에서 데이터선을 형성한다.

다음에는 제 3 절연막(143)이 플라스마 CVD 또는 스퍼터링에 의해 형성된다. 제 3 절연막(143)은 질산화실리콘막, 산화실리콘막 등이다.

이어서; 반도체막으로 도핑된 불순물 원소는 도 3b에 도시된 바와 같이 활성화된다. 이 활성화 단계는 용광로 어닐링(furnace annealing) 또는 고속 열적 어닐링(rapid thermal annealing; RTA)을 사용하여 실행된다. 열처리는 400 내지 700°C, 전형적으로, 450 내지 500°C의 온도로 질소 대기에서 실행된다. 대신에, YAG 레이저의 2차 고조파(532nm)를 사용하는 레이저 어닐링이 사용될 수 있다. 반도체막은 불순물 원소를 활성화시키도록 YAG 레이저의 2차 고조파(532nm)로 조사된다. 활성화 방법은 레이저광 조사로 제한되지 않고, 기판의 양측 또는 한측에 램프 광원을 조사함으로서 반도체막을 가열하도록 램프 광원을 사용하는 RTA가 사용될 수 있다.

도 4에 도시된 바와 같이, 질화실리콘으로 구성된 제 4 절연막(144)은 이어서 50 내지 100nm의 두께를 갖도록 플라스마 CVD에 의해 형성된다. 410°C에서의 열처리는 질화실리콘막으로부터 방출된 수소로 반도체막을 수소화하도록 청정 오븐에서 행해진다.

다음에는 유기체 절연 재료로 구성된 제 5 절연막(145)이 제 4 절연막(144)에 형성된다. 유기체 절연 재료는 제 5 절연막의 최외곽 표면을 레벨화하기 위해 사용된다. 이어서, 제 3 내지 제 5 절연막을 관통하는 접촉홀(contact hole)이 에칭 처리에 의해 형성된다. 이 에칭 처리에서는, 외부 입력 단자 부분에 위치하는 제 3 내지 제 5 절연막의 영역이 제거된다. 탄탈막 및 알루미늄막은 배선(146 내지 149), 픽셀 전극(151), 주사선(152), 연결 전극(150), 및 외부 입력 단자에 연결된 배선(153)을 형성하도록 층을 이룬다.

한 도전형이 n형이고 다른 도전형(한 도전형과 반대인)이 p형이면, p-채널 TFT(200) 및 제 1의 n-채널 TFT(201)를 갖는 구동 회로(205)와, 제 2의 n-채널 TFT(203) 및 캐패시터 부분(204)을 갖는 픽셀 부분(206)이 상기 단계를 통해 똑같은 기판상에 형성된다. 캐패시터 부분(204)은 반도체막(107), 제 2 절연막의 부분(122), 및 제 1 형상의 캐패시턴스 배선(130)으로 구성된다.

구동 회로(205)의 p-채널 TFT(200)는 채널 형성 영역(154), 게이트 전극으로 동작하는 제 2 전극(127) 외부에 위치하는 제 5 농도 p형 불순물 영역(140)(영역(140)은 드레인 영역이나 소스 영역으로 기능한다), 및 제 2 전극(127)과 오버랩되는 제 4 농도 p형 불순물 영역(LDD)을 갖는다.

제 1의 n-채널 TFT(201)는 채널 형성 영역(155), 게이트 전극으로 동작하는, 제 2 형상의 전극(128)과 오버랩되는 제 2 농도 n형 불순물 영역(124)(LDD), 및 소스 영역이나 드레인 영역으로 기능하는 제 3 농도 n형 불순물 영역(135)을 갖는다. 채널 길이 방향으로 LDD의 길이는 0.5 내지 2.5 μ m, 바람직하게 1.5 μ m이다. 이 LDD 구조는 핫 캐리어(hot carrier) 효과에 의해 주로 발생되는 TFT 저하를 방지하기 위한 것이다. n-채널 TFT 및 p-채널 TFT는 쉬프트 레지스터 회로, 버퍼 회로, 레벨 쉬프터 회로, 래치 회로 등을 형성하는데 사용될 수 있다. 제 1의 n-채널 TFT(201)의 구조는 핫 캐리어 효과에 의한 저하를 방지할 수 있기 때문에 구동 전압이 높은 버퍼 회로에 특히 적절하다.

픽셀 부분(206)의 제 2의 n-채널 TFT(203)는 채널 형성 영역(156), 게이트 전극으로 동작하는 제 2 형상의 전극(129) 외부에 형성된 제 1 농도 n형 불순물 영역(125), 및 소스 영역 또는 드레인 영역으로 기능하는 제 3 농도 n형 불순물 영역(136)을 갖는다. 반도체막(107)에는 캐패시터 부분(204)의 전극 중 하나로 기능하는 p형 불순물 영역(141, 142)이 형성된다.

픽셀 부분(206)은 픽셀 전극(151) 및 반도체막(106)의 제 3 농도 n형 불순물 영역(136)에 데이터선(131)을 연결시키는 연결 전극(150)을 갖는다. 픽셀 부분은 또한 도면에 도시되지 않았지만, 게이트 전극으로 기능하는 제 2 형상의 전극(129)에 연결된 게이트 배선(152)을 갖는다.

상술된 바와 같이, 본 발명은 게이트 전극과 오버랩되는 LDD를 포함한 한 도전형의 불순물 영역을 갖는 제 1의 n-채널 TFT, 및 LDD가 게이트 전극과 오버랩되지 않는 제 2의 n-채널 TFT를 똑같은 기판상에 형성하는 것을 가능하게 만든다. 두 타입의 TFT는 다른 동작 조건의 회로에 분리되어 배열된다. 예를 들어, 한 TFT는 구동 회로 부분에 배열되고, 다른 TFT는 픽셀 부분에 배열된다. p-채널 TFT에서, LDD는 게이트 전극과 오버랩된다.

구동 회로 부분(205) 및 픽셀 부분(206)을 갖는 본 실시예 모드로 형성된 기판은 편의상 액티브 매트릭스(active matrix) 기판이라 칭하여진다. 이 액티브 매트릭스 기판은 액티브 매트릭스 구동의 디스플레이 디바이스를 제조하는데 사용될 수 있다. 본 실시예 모드의 액티브 매트릭스 기판은 광반사 재료로부터 형성된 픽셀 전극을 가지므로, 반사 액정 디스플레이 디바이스를 만들 수 있다. 액정 디스플레이 디바이스뿐만 아니라 유기체 발광 소자가 픽셀 부분에 사용되는 발광 디바이스도 액티브 매트릭스 기판으로부터 제조될 수 있다.

실시예 모드 2

본 발명의 또 다른 실시예 모드는 도 7a 내지 도 10을 참고로 설명된다. 여기서는, 픽셀 부분의 TFT 및 그 픽셀 부분 부근에 위치하는 구동 회로의 TFT(n-채널 TFT 및 p-채널 TFT)를 똑같은 기판에 동시에 형성하는 방법이 상세히 설명된다.

실시예 모드 1에서의 기판, 절연막, 반도체막, 및 도전성막에 대한 설명은 도 7a의 기판(301), 제 1 절연막(302, 303), 반도체막(304 내지 307), 제 2 절연막(308), 제 1 도전성막(309), 및 제 2 도전성막(310)에 적용된다.

도 7b에는 마스크(311, 312)가 형성된다. 마스크(311)는 구동 회로 부분을 덮고, 마스크(312)는 픽셀 부분을 덮는다. 픽셀 및 구동 회로 부분을 덮는 마스크로, 제 1 도전성막 및 제 2 도전성막은 제 1 에칭 처리로 에칭되어, 제 1 형상의 전극(313) 및 제 1 형상의 배선(314, 315)을 형성한다(전극은 제 1 도전성막(313a)과 제 2 도전성막(313b)으로 구성되고, 배선(314)은 제 1 도전성막(314a)과 제 2 도전성막(314b)으로 구성되고, 배선(315)은 제 1 도전성막(315a)과 제 2 도전성막(315b)으로 구성된다). 다음에는 반도체막(306, 307)이 제 1 도핑 처리에서 한 도전형의 불순물 원소로 도핑되어, 한 도전형의 제 1 농도 불순물 영역(316, 360)을 형성한다.

마스크(311, 312)는 제거되고, 이어서 제 1 형상의 전극(313) 및 제 1 형상의 배선(314, 315)을 덮는 마스크(317)가 도 8a에 도시된 바와 같이 형성된다. 또한, 마스크(318 내지 320)는 제 2 에칭 처리를 통해 구동 회로 부분에 제 1 형상의 전극(321 내지 323)을 형성하도록 구동 회로 부분에 형성된다.

제 1 에칭 처리 및 제 2 에칭 처리는 모두 제 1 도전성막 및 제 2 도전성막을 에칭하기 위한 것으로, 45 내지 75°의 각도로 에지 주변에 테이퍼된 부분을 형성한다.

제 2 에칭 처리는 도 8b에 도시된 바와 같이 제 3 에칭 처리로 이어진다. 제 3 에칭 처리는 제 2 형상의 전극(324 내지 326)을 형성하도록 제 2 도전성막을 선택적으로 에칭하기 위한 것이다. 제 2 형상의 전극은 제 1 도전성막(324a 내지 326a)의 돌출부를 갖는다.

제 2 형상의 전극(324, 325)은 제 1 도전성막(324a, 325a) 및 제 2 도전성막(324b, 325b) 사이의 막 두께 차이를 사용하는 제 2 도핑 처리에서 마스크로 사용된다. 그 결과로, 한 도전형의 불순물 영역이 반도체막(304, 305)에 형성된다. 한 도전형의 제 2 농도 불순물 영역(330, 331)은 제 2 형상의 전극과 오버랩되도록 위치하는 반면, 한 도전형의 제 3 농도 불순물 영역(327, 328)은 제 2 형상의 전극 외부 영역에 형성된다. 한 도전형의 제 3 농도 불순물 영역(329)은 반도체막(306)에 형성된다.

이어서, 마스크(332, 333)는 제 3 도핑 처리를 통해 다른 도전형의 불순물로 반도체막(304)을 도핑하도록 도 9a에 도시된 바와 같이 형성된다. 결과적인 불순물 영역은 다른 도전형의 제 4 농도 불순물 영역(335) 및 다른 도전형의 제 5 농도 불순물 영역(334)이 된다. 다른 도전형의 제 5 농도 불순물 영역(336)은 반도체막(307)에 형성된다.

이어서, 제 3 절연막(337)이 형성되고, 반도체막을 도핑하는데 사용된 불순물은 실시예 모드 1과 유사하게 활성화된다.

제 4 절연막(338)은 이어서 도 10에 도시된 바와 같이 형성되고, 반도체막을 수소화하도록 410°C에서 열처리가 행해진다. 다음에는 제 5 절연막(339)이 유기체 절연 재료로 제 4 절연막(338)상에 형성된다. 유기체 절연 재료는 제 5 절연막의 최외곽 표면을 레벨화하기 위해 사용된다. 이어서, 제 3 내지 제 5 절연막을 관통하는 접촉홀이 에칭 처리에 의해 형성된다. 배선(340 내지 343), 픽셀 전극(345), 게이트선(346), 및 배선(344, 347)이 형성된다.

한 도전형이 n형이고 다른 도전형(한 도전형과 반대인)이 p형이면, p-채널 TFT(400)와 제 1의 n-채널 TFT(401)를 갖는 구동 회로(405)와 제 2의 n-채널 TFT(403)와 캐패시터 부분(404)을 갖는 픽셀 부분(406)이 상기 단계를 통해 동일한 기판 상에 형성된다. 캐패시터 부분(404)은 반도체막(307), 제 1 절연막의 일부(361), 및 제 1 형상의 캐패시턴스 배선(314)으로 구성된다.

구동 회로(405)의 p-채널 TFT(400)는 채널 형성 영역(348), 게이트 전극으로 동작하는 제 2 전극(324)과 오버랩되도록 위치하는 다른 도전형의 제 4 농도 불순물 영역(332), 및 제 2 전극(324) 외부에 위치하는 다른 도전형의 제 5 농도 불순물 영역(333)을 갖는다.

제 1의 n-채널 TFT(401)은 채널 형성 영역(349), 게이트 전극으로 동작하는 제 2 형상의 전극(325)과 오버랩되는 한 도전형의 제 2 농도 불순물 영역(LDD 영역)(331), 및 소스 영역 또는 드레인 영역으로 기능하는 한 도전형의 제 3 농도 불순물 영역(328)을 갖는다. 채널 길이 방향에서의 LDD 길이는 0.5 내지 2.5μm, 바람직하게 1.5μm이다. 이 LDD 구조는 핫 캐리어 효과에 의해 주로 발생되는 TFT 저하를 방지하기 위한 것이다. n-채널 TFT 및 p-채널 TFT는 쉬프트 레지스터 회로, 버퍼 회로, 레벨 쉬프터 회로, 래치 회로 등을 형성하는데 사용될 수 있다. 제 1의 n-채널 TFT(401)의 구조는 핫 캐리어 효과에 의한 저하를 방지할 수 있기 때문에 구동 전압이 높은 버퍼 회로에 특히 적절하다.

픽셀 부분(406)의 제 2의 n-채널 TFT(403)는 채널 형성 영역(350), 게이트 전극으로 동작하는 제 1 형상의 전극(313) 외부에 형성된 한 도전형의 제 1 농도 불순물 영역(316), 및 소스 영역 또는 드레인 영역으로 동작하는 한 도전형의 제 3 농도 불순물 영역(329)을 갖는다. 반도체막(307)에는 캐패시터 부분(404)의 전극들 중 하나로 기능하는 다른 도전형의 제 5 농도 불순물 영역(336)이 형성된다.

상술된 바와 같이, 구동 회로 부분의 게이트 전극 및 픽셀 부분의 게이트 전극은 다른 LDD 구조를 갖는 TFT를 구하도록 본 실시예 모드에서 서로 다르게 구성된다. 게이트 전극과 오버랩되는 LDD는 포토 마스크를 사용하지 않고 높은 정확도를 가지고 자기-정렬 방식으로 형성될 수 있다.

실시예 1

이후에는 본 발명의 일 실시예가 도 1a 내지 도 6을 참고로 설명된다. 여기서는, 픽셀 부분의 TFT 및 그 픽셀 부분의 부근에 위치하는 구동 회로의 TFT(n-채널 TFT 및 p-채널 TFT)를 똑같은 기판에 동시에 형성하는 방법이 상세히 설명된다.

도 1a에서는, 알루미노 봉규산 유리(alumino borosilicate glass)가 기판(101)으로 사용된다. 본 실시예의 제 1 절연막은 50nm의 두께를 갖는 제 1 질산화실리콘막(102)과 100nm의 두께를 갖는 제 2 질산화실리콘막(103)의 적층이다. 막(102)은 반응 기체로 SiH_4 , NH_3 , 및 N_2O 를 사용하여 형성된다. 막(103)은 반응 기체로 SiH_4 및 N_2O 를 사용하여 형성된다.

반도체막(104 내지 107)은 결정 구조를 갖는 반도체이다. 반도체막은 제 1 절연막상에 비결정질 반도체막을 형성하고 공기된 결정화 방법을 통해 막을 결정화함으로서 구해진다. 본 실시예에서, 비결정질 실리콘막은 50nm의 두께를 갖도록 침착(deposition)되어 형성되고, 광학 시스템에 의해 선형빔으로 수집된 액사이머 레이저광을 조사하여 결정화된다. 레이저광은 300 mJ/cm^2 의 전력 밀도를 갖도록 형성되고, 90 내지 98%의 오버랩 비율로 비결정질 실리콘막의 전체 표면을 조사하도록 500 μm 선형빔으로 형상화된다.

대안적으로, 연속파의 YVO_4 레이저가 사용될 수 있다. 그 레이저는 파장 변환 소자에 의해 제 2 고조파로 변환되고, 10W의 에너지빔이 비결정질 막을 결정화하도록 1 내지 100 cm/sec 의 비율로 막에 주어진다.

결정화 이후에, 반도체막은 TFT의 임계 전압을 제어하기 위해 이온 도핑에 의해 억셉터(acceptor)형인 붕소로 도핑된다. 불순물의 도핑 농도는 조작자에 의해 적절하게 설정될 수 있다.

이와 같이 구해진 다결정질 실리콘막은 에칭 처리에 의해 아일랜드(island)로 분할되어 반도체막(104 내지 107)을 형성한다. 110nm의 두께를 갖고 SiH_4 및 N_2O 를 사용하여 플라스마 CVD에 의해 형성된 질산화실리콘막은 제 2 절연막(108)으로 반도체막상에 형성된다.

질화탄탈막은 30nm의 두께를 갖도록 스퍼터링에 의해 제 2 절연막(108)상에 제 1 도전성막(109)으로 형성된다. 이어서, 300nm 두께의 텅스텐막이 제 2 도전성막(110)으로 형성된다.

질화탄탈막의 두께는 이온 도핑에서 n형 불순물로 사용되는 인의 도핑 효율성을 고려하여 결정된다(또는 인을 저지하는 질화탄탈막의 기능). 도 30은 게이트 절연막 두께가 일정하고 질화탄탈막 두께가 15nm 내지 45nm로 변할 때 인 농도 분포를 도시한다. 도핑시 가속 전압은 90keV로 설정된다. 반도체막에 주입되는 인의 농도는 반도체막을 덮는 막(게이트 절연막 및 질화탄탈막)의 두께 및 재료에 의존하여 변한다. 도 31은 질화탄탈막의 두께가 게이트 절연막의 두께로 변환될 때의 인 농도 프로파일을 도시한다. 도 31에 따라, 2.4 내지 2.66배 더 두꺼운 게이트 절연막이 질화탄탈막의 인 저지 기능과 똑같다. 다시 말하면, 질화탄탈은 더 작은 막 두께에서도 더 높은 인 저지 기능을 나타낸다.

질화탄탈막의 두께는 저항 및 도핑 저지 기능을 고려하여 결정된다. 도 30 및 도 31로부터 질화탄탈막에 대한 최적의 막 두께는 15nm 내지 300nm 사이인 것으로 결론지을 수 있다.

다음에는 마스크(111 내지 114)가 도 1b에 도시된 광감자 레지스트 재료로 형성된다. 이어서, 제 1 도전성막(109) 및 제 2 도전성막(110)에 제 1 에칭 처리가 실행된다. 에칭 처리는 ICP(inductively coupled plasma) 에칭을 사용한다. 에칭 기체의 선택에는 제한이 없지만, CF_4 , Cl_2 , 및 O_2 가 W 막과 질화탄탈막을 에칭하는데 사용된다. 그의 기체 흐름 비율은 25:25:10으로 설정되고, 에칭을 위해 1 Pa의 압력으로 코일 전극에 500W의 RF(13.56MHz) 전력이 주어진다. 이 경우, 기판측(샘플 스테이지)은 또한 실질적으로 음의 자기-바이어스 전압을 인가하도록 150W의 RF(13.56MHz) 전력을 수신한다. 이러한 제 1 에칭 조건하에서는, 주로 W 막이 소정의 형상으로 에칭된다.

이후에는, 에칭 기체가 CF_4 및 Cl_2 로 변한다. 기체 흐름 비율은 30:30으로 설정되고, 500 W의 RF(13.56MHz) 전력이 1 Pa의 압력으로 코일 전극에 주어져 30초 에칭 동안 플라스마를 발생한다. 기판측(샘플 스테이지)은 또한 실질적으로 음의 자기-바이어스 전압을 인가하도록 20W의 RF(13.56MHz) 전력을 수신한다. CF_4 및 Cl_2 의 혼합 기체는 질화탄탈막과 W 막을 거의 똑같은 비율로 에칭한다. 그래서, 에지 부근에 각도를 이룬 제 1 형상의 전극(116 내지 118)과 제 1 형상의 배선(114, 115)이 형성된다. 전극은 45 내지 75°의 각도로 테이퍼된다. 제 2 절연막에 잔여물을 남기지 않고 막을 에칭하기 위해, 에칭 시간이 10 내지 20% 연장되는 것이 바람직하다. 제 1 형상의 전극(116 내지 118) 및 제 1 형상의 배선(114, 115)으로 덮이지 않은 제 2 절연막(122)의 영역은 에칭되어 20 내지 50nm 만큼 얇아진다.

제 1 도핑 처리는 질량 분리 없이 이온이 주입되는 이온 도핑을 사용한다. 도핑 시, 제 1 형상의 전극(116 내지 118)은 마스크로 사용되고, 수소로 희석된 인화수소(PH_3) 기체 또는 희기체(noble gas)로 희석된 인화수소 기체가 반도체막(104 내지 107)에서 제 1 농도 n형 불순물 영역(123 내지 126)을 형성하는데 사용된다. 이 도핑에서 형성된 제 1 농도 n형 불순물 영역은 각각 1×10^{17} 내지 1×10^{19} atoms/cm³의 인농도를 갖는다.

마스크(111 내지 114)를 제거하지 않고, 다음에는 도 2a에 도시된 바와 같이 제 2 에칭 처리가 행해진다. CF_4 , Cl_2 , 및 O_2 가 에칭 기체로 사용되고, 기체 흐름 비율은 20:20:20으로 설정되고, 500 W의 RF(13.56MHz) 전력이 1 Pa의 압력으로 코일 전극에 주어져 에칭을 위한 플라스마를 발생한다. 기판측(샘플 스테이지)은 또한 제 1 에칭 처리에서 보다 더 낮은 자기-바이어스 전압을 인가하도록 20 W의 RF(13.56MHz) 전력을 수신한다. 이러한 에칭 조건하에서, 제 2 도전성막으로 사용되는 W 막이 에칭된다. W 막에는 이방성 에칭이 가해져 제 2 형상의 전극(127 내지 129) 및 제 2 형상의 배선(130, 131)을 형성한다. 제 2 형상의 전극(127 내지 129) 및 제 2 형상의 배선(130, 131)으로 덮이지 않은 제 2 절연막의 영역은 에칭되어 20 내지 50nm 만큼 얇아진다.

이어서, 제 2 도핑 처리를 위해 전체 반도체막(104)을 덮는 마스크(133), 반도체막(106)에 위치하는 제 2 형상의 전극(129)을 덮는 마스크(134), 및 반도체막(107)을 덮는 마스크(134)가 형성된다. 제 2 도핑 처리를 통해, 제 2 농도 n형 불순물 영역이 반도체막(105)에 형성되고, 제 3 농도 n형 불순물 영역은 반도체막(105, 106)에 형성된다. 이 이온 도핑에서는, 인이 사용되고, 선량(dose)은 1.5×10^{14} atoms/cm³으로 설정되고, 가속 전압은 100keV로 설정된다.

제 2 농도 n형 불순물 영역(135)은 제 2 형상의 전극(128)을 구성하는 제 1 도전성막(128a)과 오버랩되는 위치에 자기-정렬 방식으로 형성된다. 이온 도핑에 의해 주어진 불순물은 반도체막이 도핑되기 이전에 제 1 도전성막(128a)을 통해 전송된다. 그러므로, 제 2 농도는 제 3 농도 n형 불순물 영역에서의 불순물 농도 보다 훨씬 더 낮다. 영역(135)의 불순물 농도는 1×10^{16} 내지 1×10^{17} atoms/cm³이다. 제 3 농도 불순물 영역(136, 137)은 1×10^{20} 내지 1×10^{21} atoms/cm³의 농도를 이루도록 인으로 도핑된다.

다음에는, 마스크(138)가 도 3a에 도시된 바와 같이 제 3 도핑 처리를 실행하도록 형성된다. 도핑 시, 수소로 희석된 디보레인(diborane) B_2H_6 기체 또는 희기체(noble gas)로 희석된 디보레인 기체가 반도체막(104)에 제 4 농도 p형 불순물 영역(139) 및 제 5 농도 p형 불순물 영역(140)을 형성하는데 사용된다. 제 4 농도 p형 불순물 영역은 제 2 형상의 전극(127)과 오버랩되도록 위치하고, 1×10^{18} 내지 1×10^{20} atoms/cm³의 농도에서 봉소로 도핑된다. 제 5 농도 불순물 영역(140)은 2×10^{20} 내지 3×10^{21} atoms/cm³의 농도에서 봉소로 도핑된다. 제 5 농도 p형 불순물 영역(142) 및 제 4 농도 p형 불순물 영역(141)은 픽셀 부분에서 저장 캐퍼시터를 형성하는데 사용되는 반도체막(107)의 일부에 형성된다.

상기 단계를 통해, 인으로 도핑된 영역 또는 봉소로 도핑된 영역이 반도체막 각각에 주어진다. 제 2 형상의 전극(127 내지 129)은 게이트 전극으로 작동한다. 제 2 형상의 배선(130)은 픽셀 부분에서 저장 캐퍼시터를 구성하는 전극들 중 하나를 형성한다. 제 2 형상의 배선(131)은 픽셀 부분에서 데이터선으로 동작한다.

다음에는, 질산화실리콘막이 50nm의 두께로 플라스마 CVD에 의해 제 3 절연막(143)으로 형성된다. 반도체막을 도핑하는데 사용되는 불순물 원소는 도 3b에 도시된 바와 같이 YAG 레이저의 제 2 고조파(532nm)의 레이저광으로 반도체막을 조사하여 활성화된다.

도 4에 도시된 바와 같이, 제 4 절연막(144)은 50nm의 두께로 플라스마 CVD에 의해 질화실리콘으로 형성된다. 질화실리콘막으로부터 방출된 수소로 반도체막을 수소화하기 위해, 청정 오븐에서 410°C로 열처리가 행해진다.

다음에는 제 5 절연막(145)이 제 4 절연막(144)상에 아크릴로 구성된다. 이어서, 접촉홀이 형성된다. 이 예칭 처리에서는, 외부 입력 단자 부분에 위치하는 제 3 내지 제 5 절연막이 제거된다. 탄탈막과 알루미늄막은 적층되어 배선(146 내지 149), 픽셀 전극(151), 주사선(152), 연결 전극(150), 및 외부 입력 단자에 연결된 배선(153)을 형성한다.

그래서, 똑같은 기판상에 p-채널 TFT(200) 및 제 1의 n-채널 TFT(201)를 갖는 구동 회로(205) 및 제 2의 n-채널 TFT(203) 및 캐패시터 부분(204)을 갖는 픽셀 부분(206)이 형성된다. 캐패시터 부분(204)은 반도체막(107), 제 2 절연막(122)의 일부, 및 제 1 형상의 캐패시턴스 배선(130)으로 구성된다.

구동 회로(205)의 p-채널 TFT(200)는 채널 형성 영역(154), 게이트 전극으로 동작하는 제 2 전극(127) 외부에 위치하는 제 5·농도 p형 불순물 영역(140)(영역(140)은 소스 영역 또는 드레인 영역으로 기능한다), 및 제 2 전극(127)과 오버랩되는 제 4 농도 p형 불순물 영역을 갖는다.

제 1의 n-채널 TFT(201)는 채널 형성 영역(155), 게이트 전극으로 동작하는 제 2 형상의 전극(128)과 오버랩되는 제 2 농도 n형 불순물 영역(124)(LD), 및 소스 영역이나 드레인 영역으로 기능하는 제 3 농도 n형 불순물 영역(135)을 갖는다. 채널 길이 방향으로의 LDD 길이는 0.5 내지 2.5μm, 바람직하게 1.5μm이다. 이 LDD 구조는 핫 캐리어 효과에 의해 주로 발생되는 TFT 저하를 방지하기 위한 것이다. n-채널 TFT 및 p-채널 TFT는 쉬프트 레지스터 회로, 버퍼 회로, 레벨 쉬프터 회로, 래치 회로 등을 형성하는데 사용된다. 제 1의 n-채널 TFT(201)의 구조는 핫 캐리어 효과에 의한 저하를 방지할 수 있기 때문에 구동 전압이 높은 버퍼 회로에 특히 적절한다.

픽셀 부분(206)의 제 2의 n-채널 TFT(203)는 채널 형성 영역(156), 게이트 전극으로 동작하는 제 2 형상의 전극(129) 외부에 형성된 제 1 농도 n형 불순물 영역(125), 및 소스 영역이나 드레인 영역으로 기능하는 제 3 농도 n형 불순물 영역(136)을 갖는다. 반도체막(107)에는 캐패시터 부분(204)의 전극들 중 하나로 기능하는 p형 불순물 영역(141, 142)이 형성된다.

픽셀 부분(206)은 반도체막(106)의 제 3 농도 n형 불순물 영역(136)에 데이터선(131)을 연결시키는 연결 전극(150) 및 픽셀 전극(151)을 갖는다. 픽셀 부분은 또한 도면에 도시되지 않았지만, 게이트 전극으로 기능하는 제 2 형상의 전극(129)에 연결된 게이트 배선(152)을 갖는다.

픽셀 부분(206)의 상면도는 도 5에 도시된다. 도 5의 상면도는 실질적으로 한 도트(dot)를 도시하고, 도 4와 공통된 기호를 사용한다. 도 5에서 선 A-A'을 따라 취해진 단면 구조는 도 4에 대응한다. 도 5의 픽셀 구조에서, 게이트 배선 및 게이트 전극은 게이트 배선이 반도체막과 오버랩되어 광차폐막(light-shielding film)으로 추가 기능을 갖도록 다른 층상에 형성된다. 픽셀 전극의 에지는 픽셀 전극들 사이의 갭(gap)을 빛으로부터 차폐하기 위해 소스 배선과 오버랩되도록 위치한다. 이 구조는 광차폐막(블랙 매트릭스(black matrix))을 형성할 필요성을 없앤다. 그 결과로, 종래 기술과 비교해 개구 비율(aperture ratio)이 개선된다.

상술된 바와 같이, 본 발명은 게이트 전극과 오버랩되는 LDD를 갖는 n-채널 TFT 및 게이트 전극과 오버랩되지 않는 LDD를 갖는 n-채널 TFT를 똑같은 기판상에 형성하는 것을 가능하게 만든다. 두 타입의 TFT는 다른 동작 조건의 회로에 대응하여 분리 배열된다. 예를 들어, 한 TFT는 구동 회로 부분에 배열되고, 다른 TFT는 픽셀 부분에 배열된다. 이는 단일 드레인 구조를 갖는 p-채널 TFT에서 전제된다.

도 6은 액티브 매트릭스 기판의 회로 구조예를 도시하는 회로 블록도이다. 도 6에 도시된 기판은 TFT로 구성된 픽셀 부분(601), 데이터 신호선 구동 회로(602), 및 주사 신호선 구동 회로(606)를 갖는다.

데이터 신호선 구동 회로(602)는 쉬프트 레지스터(603), 래치(604, 605), 버퍼 회로, 및 다른 회로로 구성된다. 클럭 신호 및 시작 신호는 쉬프트 레지스터(603)에 입력된다. 디지털 데이터 신호 및 래치 신호는 래치에 입력된다. 주사 신호선 구동 회로(606)는 또한 쉬프트 레지스터, 버퍼 회로, 및 다른 회로로 구성된다. 픽셀 부분(601)은 임의의 수의 픽셀을 가질 수 있다. 디스플레이 디바이스가 XGA 레벨을 목표로 하면, 픽셀 부분은 1024 x 768 픽셀을 가져야 한다.

액티브 매트릭스 기판은 액티브 매트릭스 구동의 디스플레이 디바이스를 제조하는데 사용될 수 있다. 본 실시예의 액티브 매트릭스 기판은 광반사 재료로 형성된 픽셀 전극을 가지므로, 반사 액정 디스플레이 디바이스를 만들 수 있다. 액정 디스플레이 디바이스 뿐만 아니라 유기체 발광 디바이스가 픽셀 부분에 사용되는 발광 디바이스가 액티브 매트릭스 기판으로 제조될 수 있다. 이 방법으로, 반사 디스플레이 디바이스용 액티브 매트릭스 기판이 구해진다.

실시예 2

본 발명의 또 다른 실시예는 도 7a 내지 도 10을 참고로 설명된다. 본 실시예는 또한 픽셀 부분의 TFT 및 그 픽셀 부분 부근에 위치하는 구동 회로의 TFT(n-채널 TFT 및 p-채널 TFT)를 동일한 기판 상에 동시에 형성하는 방법에 대한 설명을 제공한다. 실시예 1에서의 기판, 절연막, 반도체막, 및 도전성막에 대한 설명은 도 7a의 기판(301), 제 1 절연막(302, 303), 반도체막(304 내지 307), 제 2 절연막(308), 제 1 도전성막(309), 및 제 2 도전성막(310)에 적용된다.

도 7b에서는 마스크(311, 312)가 형성된다. 마스크(311)는 구동 회로 부분을 덮는 반면, 마스크(312)는 픽셀 부분을 덮는다. 픽셀 및 구동 회로를 덮는 마스크로, 제 1 에칭 처리가 실행되어 제 1 형상의 전극(313) 및 제 1 형상의 배선(314, 315)을 형성한다(전극은 제 1 도전성막(313a)과 제 2 도전성막(313b)으로 구성되고, 배선(314)은 제 1 도전성막(314a)과 제 2 도전성막(314b)으로 구성되고, 배선(315)은 제 1 도전성막(315a)과 제 2 도전성막(315b)으로 구성된다). 에칭 조건은 실시예 1의 제 1 에칭 처리와 동일하다. 다음에는, 반도체막(306, 307)이 제 1 농도 n형 불순물 영역(316, 360)을 형성하도록 이온 도핑에 의해 제 1 도핑 처리에서 불순물인 인으로 도핑된다. 제 1 농도 n형 불순물 영역은 각각 1×10^{17} 내지 1×10^{19} atoms/cm³의 인 농도를 갖는다.

마스크(311, 312)는 제거되고, 이어서 제 1 형상의 전극(313) 및 제 1 형상의 배선(314, 315)을 덮는 마스크(317)가 도 8a에 도시된 바와 같이 형성된다. 또한, 마스크(318 내지 320)는 제 2 에칭 처리를 통해 구동 회로 부분에 제 1 형상의 전극(321 내지 323)을 형성하도록 구동 회로 부분에 형성된다. 제 2 에칭 처리는 본 실시예의 제 1 에칭 처리 조건과 똑같은 조건으로 설정된다.

제 2 에칭 처리는 도 8b에 도시된 제 3 에칭 처리로 이어진다. 제 3 에칭 처리는 제 2 도전성막으로 형성된 W 막을 선택적으로 에칭하기 위한 것이다. 그 결과로, 제 1 도전성막(324a 내지 326a)의 돌출부를 갖는 제 2 형상의 전극(324 내지 326)이 형성된다. 제 3 에칭 처리에서의 에칭 조건은 실시예 1의 제 2 에칭 처리에서의 에칭 조건과 똑같다.

제 2 형상의 전극(324, 325)은 제 1 도전성막(324a, 325a)과 제 2 도전성막(324b, 325b) 사이의 막 두께 차이를 사용하여, 제 2 도핑 처리에서 마스크로 사용된다. 그 결과로, 반도체막(304, 305)은 n형 불순물 영역을 형성하도록 인으로 도핑된다. 제 2 도핑 처리는 수소로 희석된 5% PH₃를 사용하고, 선량을 1.6×10^{14} atoms/cm³으로 설정하고, 가속 전압을 100 keV로 설정한다. 이는 1회 도핑으로 제 2 농도 n형 불순물 영역(330, 331) 및 제 3 농도 n형 불순물 영역(327, 328)을 형성하는 것을 가능하게 만든다. 제 2 농도 n형 불순물 영역(330, 331)은 제 1 형상의 전극과 오버랩되도록 위치하고, 제 1 도전성막의 존재로 인하여 1×10^{16} 내지 1×10^{17} atoms/cm³의 인 농도를 갖는다. 제 3 농도 n형 불순물 영역(327, 328)은 제 2 형상의 전극들의 외부 영역에 형성되고, 1×10^{20} 내지 1×10^{21} atoms/cm³의 인 농도를 갖는다. 제 3 농도 n형 불순물 영역(329)은 반도체막(306)에 형성된다.

이후에, 제 3 도핑 처리를 통해 반도체막(304)을 붕소로 도핑하도록 마스크(332, 333)가 도 9a에 도시된 바와 같이 형성된다. 결과적인 불순물 영역은 제 4 농도 p형 불순물 영역(335) 및 제 5 농도 p형 불순물 영역(334)이다. 제 5 농도 p형 불순물 영역(336)은 반도체막(307)에 형성된다.

이어지는 단계는 실시예 1의 단계와 동일하다. 제 3 절연막(337)이 형성되고, 반도체막을 도핑하는데 사용된 불순물이 활성화된다. 이어서, 제 4 절연막(338)이 도 10에 도시된 바와 같이 형성되고, 반도체막을 수소화하도록 410°C로 열처리가 행해진다. 다음에는 제 5 절연막(339)이 유기체 절연 재료로 제 4 절연막(338)상에 형성된다. 이어서, 에칭 처리에 의해 접촉홀이 형성된다. 배선(340 내지 343), 픽셀 전극(345), 게이트선(346), 및 배선(344, 347)이 형성된다.

그래서, p-채널 TFT(400)와 제 1의 n-채널 TFT(401)를 갖는 구동 회로(405) 및 제 2의 n-채널 TFT(403)와 캐패시터 부분(404)을 갖는 픽셀 부분(406)이 똑같은 기판상에 형성된다. 캐패시터 부분(404)은 반도체막(307), 제 2 절연막(361)의 일부, 및 제 1 형상의 캐패시턴스 배선(314)으로 구성된다.

구동 회로(405)의 p-채널 TFT(400)는 채널 형성 영역(348), 게이트 전극으로 동작하는 제 2 전극(324)과 오버랩되도록 위치하는 다른 도전형의 제 4 농도 불순물 영역(332), 및 제 2 전극(324) 외부에 위치하는 다른 도전형의 제 5 농도 불순물 영역(333)을 갖는다.

제 1의 n-채널 TFT(401)는 채널 형성 영역(349), 게이트 전극으로 동작하는 제 2 형상의 전극(325)과 오버랩되는 한 도전형의 제 2 농도 불순물 영역(LDD 영역)(331), 및 소스 영역이나 드레인 영역으로 기능하는 한 도전형의 제 3 농도 불순물 영역(328)을 갖는다. 채널 길이 방향에서의 LDD 길이는 0.5 내지 2.5μm, 바람직하게 1.5μm이다. 이 LD D 구조는 핫 캐리어 효과에 의해 주로 발생되는 TFT 저하를 방지하기 위한 것이다. n-채널 TFT 및 p-채널 TFT는 쉬프트 레지스터 회로, 버퍼 회로, 레벨 쉬프터 회로, 래치 회로 등을 형성하는데 사용된다. 제 1의 n-채널 TFT(401)의 구조는 핫 캐리어 효과에 의한 저하를 방지할 수 있기 때문에 구동 전압이 높은 버퍼 회로에 특히 적절한다.

픽셀 부분(406)의 제 2의 n채널 TFT(403)는 채널 형성 영역(350), 게이트 전극으로 동작하는 제 1 형상의 전극(313) 외부에 형성되는 한 도전형의 제 1 농도 불순물 영역(316), 및 소스 영역이나 드레인 영역으로 기능하는 한 도전형의 제 3 농도 불순물 영역(329)을 갖는다. 다른 도전형의 제 5 농도 불순물 영역(336)은 캐패시터 부분(404)의 전극들 중 하나로 기능하는 반도체막(307)에 형성된다.

상술된 바와 같이, 구동 회로 부분의 게이트 전극 및 픽셀 부분의 게이트 전극은 다른 LDD 구조를 갖는 TFT를 구하도록 본 실시예에서 서로 다르게 구성된다. 게이트 전극과 오버랩되는 LDD는 포토 마스크를 사용하지 않고 높은 정확도를 가지고 자기-정렬 방식으로 형성될 수 있다. 그래서, 반사 디스플레이 디바이스에 대한 액티브 매트릭스 기판이 구해진다.

실시예 3

본 실시예는 도 11a 및 도 11b를 참고로 투과 디스플레이 디바이스에 대한 액티브 매트릭스 기판의 구조를 설명한다. 도 11a 및 도 11b는 실시예 2에 형성된 액티브 매트릭스 기판에서 픽셀 부분(406)의 구조를 도시한다. 제 2의 n-채널 TFT(403) 및 캐패시터 부분(404)은 실시예 2에 따라 구해진다.

도 11a는 제 4 절연막(338) 및 제 5 절연막(339)이 형성된 이후에 형성된 접촉홀과 제 5 절연막(339)에서 소정의 형상으로 패턴화된 투명 전극(370)을 도시한다. 투명 도전성막(370)은 100nm의 두께이다. 투명 도전성막을 형성하는 데는 산화인듐, 산화주석, 또는 산화아연, 또는 이를 산화물의 화합물이 사용될 수 있다. 투명 도전성막(371)은 단자 부분에 형성된다.

다음에는 도 11b에 도시된 바와 같이 투명 전극(370)에 연결된 전극(373, 374) 뿐만 아니라 게이트선(375) 및 연결전극(372)이 형성된다. 전극(373, 374, 372) 및 선(375)은 100nm 두께의 티타늄막 및 300nm 두께의 알루미늄막으로 구성된 적층으로 형성된다. 액티브 매트릭스 기판은 투과 디스플레이 디바이스를 만들도록 상기와 같이 구성된다. 본 실시예의 구조는 실시예 1의 액티브 매트릭스 기판에 적용될 수 있다.

실시예 4

본 실시예는 실시예 3에서 얻어진 액티브 매트릭스 기판으로부터 액티브 매트릭스 구동의 액정 디스플레이 디바이스를 제조하는 처리를 설명한다. 설명은 도 12를 참고로 주어진다.

도 11b의 상태인 액티브 매트릭스 기판이 구해진 이후에, 액티브 매트릭스 기판에는 지향성막(oriented film)(383)이 형성되어 연마 처리(rubbing treatment)가 행해진다. 도면에 도시되지 않았지만, 지향성막(383) 이전에, 아크릴 수지막과 같은 유기체 수지막을 패턴화하여 원하는 위치에 원주형 스페이서(columnar spacer)가 형성될 수 있다. 스페이서는 기판들 사이에 거리를 유지하기 위한 것이다. 원주형 스페이서 대신에, 원형 스페이서가 기판의 전체 표면으로 주어질 수 있다.

다음에는, 대향 기판(380)에 대향 전극(381)이 형성되고, 전극에는 지향성막(382)이 형성되어 연마 처리가 행해진다. 대향 전극(381)은 ITO로 형성된다. 이어서, 대향 기판은 픽셀 부분 및 구동 회로가 형성된 액티브 매트릭스 기판에 봉합제(sealing agent)(도시되지 않은)를 사용하여 결합된다. 봉합제는 그에 혼합된 충전제를 갖고, 충전제는 스페이스와 함께 결합되어 있는 동안 두 기판 사이에 거리를 유지한다. 기판 사이에는 액정 재료(385)가 주입되고, 기판을 완전히 봉합하는데는 종료-봉합제가 사용된다. 재료(385)로는 공지된 액정 재료가 사용될 수 있다.

그래서, 도 12에 도시된 액티브 매트릭스 구동 액정 디스플레이 디바이스가 완성된다. 여기서 도시된 예에서는 실시예 3에서 제조되는 투과 액티브 매트릭스 기판이 사용되지만, 실시예 1 또는 2에서 제조되는 반사 액티브 매트릭스 기판이 또한 액정 디스플레이 디바이스를 만들 수 있다.

실시예 5

도 13은 본 발명이 적용되는 액티브 매트릭스 구동 방법의 발광 디바이스에서 픽셀 부분의 구조예를 도시한다. 픽셀 부분(450)의 n-채널 TFT(203) 및 p-채널 TFT(200)는 실시예 1의 처리에 따라 제조된다. 제 5 결연막(501)의 표면은 질소 또는 불활성 기체를 사용하는 플라스마 처리에 의해 조밀해진다. 전형적으로, 아르곤 플라스마 처리가 사용되고, 조밀성은 주로 탄소를 포함하는 매우 얇은 막을 표면에 형성함으로서 이루어진다. 이어서, 배선을 형성하도록 접촉홀이 형성된다. 배선으로는 티타늄, 알루미늄 등이 사용된다.

픽셀 부분(450)에서, 데이터선(502)은 n-채널 TFT(203)의 소스측에 연결되고, 드레인측의 배선(503)은 n-채널 TFT(203)의 게이트 전극에 연결된다. p-채널 TFT(200)의 소스측은 전력 공급 배선(505)에 연결되는 반면, 드레인측의 전극(504)은 발광 소자(451)의 애노드에 연결된다.

본 실시예에서의 발광 디바이스는 매트릭스를 형성하도록 배열된 유기체 발광 디바이스를 갖는다. 유기체 발광 디바이스(451)는 애노드, 캐소드, 및 애노드와 캐소드 사이에 형성된 유기체 화합물층으로 구성된다. 애노드(506)는 배선이 형성된 이후에 ITO로부터 형성된다. 유기체 화합물층은 더 높은 홀 이동성을 갖는 홀 운송 재료, 더 높은 전자 이동성을 갖는 전자 운송 재료, 발광 재료, 및 다른 것들의 조합을 포함한다. 이들 재료들은 층으로 형성되거나 하나로 혼합된다.

유기체 화합물 재료는 전부 약 100nm의 박막을 만든다. 따라서, 애노드를 형성하기 위한 ITO 막의 표면은 잘 레벨화되어야 한다. 표면이 최악으로 나쁘게 레벨화되어 있으면, 이는 유기체 화합물층에 형성된 캐소드와 단락 회로를 일으킬 수 있다. 단락 회로는 다른 측정에 의해, 즉 1 내지 5nm 두께의 절연층(508)을 형성함으로서 방지될 수 있다. 절연층(508)은 폴리이미드(polyimide), 폴리이미데아미드(polyimideamide), 폴리아미드(polyamide), 아크릴(acrylic) 등으로 형성된다.

캐소드(510)는 MgAg 또는 LiF와 같은 알칼리 금속으로 형성되거나 알칼리 지토류 금속(earth metal)으로 형성된다. 유기체 화합물층(509)의 구조에 대한 상세한 내용은 자유롭게 설정될 수 있다.

유기체 화합물층(509) 및 캐소드(510)는 습식 처리(화학적 에칭, 세척, 또는 유사한 다른 처리)를 받아들일 수 없다. 그러므로, 애노드(506) 경계에 있는 유기체 절연막(501)에는 분할벽층(partition wall layer)(507)이 광감지 수지 재료로 형성된다. 애노드(506)의 에지는 분할벽층(507)으로 덮여진다. 특별하게, 음의 레지스트가 적용되고, 1 내지 2 μ m 두께의 분할벽층(507)을 제공하도록 가열된다. 대안적으로, 분할벽층은 광감지 아크릴 또는 광감지 폴리이미드로 형성된다.

캐소드(510)에는 작업 기능이 적은 마그네슘(Mg), 리튬(Li), 또는 칼슘(Ca)을 포함하는 재료가 사용된다. 바람직하게, 전극은 MgAg(Mg : Ag = 10 : 1의 비율로 Mg와 Ag를 혼합하여 구해진 재료)로 형성된다. 캐소드(510)로 사용 가능한 다른 전극들의 예로는 MgAgAl 전극, LiAl 전극, 및 LiAl 전극이 포함된다. 캐소드에서, 질화실리콘막 또는 DLC 막인 절연막(511)은 2 내지 30nm, 바람직하게 5 내지 10nm의 두께를 갖도록 형성된다. DLC 막은 플라스마 CV D에 의해 형성될 수 있고, 100°C 이하에서 형성될 때에도 분할벽층(507)의 에지를 잘 덮을 수 있다. DLC 막의 내부 응력(stress)은 적은 양의 아르곤을 혼합하여 완화될 수 있으므로, 그 막이 보호막으로 동작하도록 허용한다. DLC 막은 산소뿐만 아니라 CO, CO₂, 및 H₂O에 대해서도 뛰어난 기체 장벽(gas barrier)이므로, 장벽막으로 사용되는 절연막(511)에 적절하다.

도 13에서, 스위칭에 사용되는 n-채널 TFT(203)는 다중-게이트 구조를 갖는 반면, 전류 제어에 사용되는 p-채널 TFT(200)는 게이트 전극과 오버랩되는 LDD를 갖는다. 본 발명은 똑같은 처리에 의해 다른 LDD 구조의 TFT를 형성할 수 있다. 도 13에 도시된 예는 본 발명을 발광 디바이스에 바람직하게 적용한 것이고, 여기서는 다른 LDD 구조를 갖는 TFT가 픽셀 부분에 형성되어 다른 기능을 담당한다(스위칭을 위해 낮은 OFF 전류를 갖는 n-채널 TFT(203) 및 전류 제어를 위해 핫 캐리어 주입에 강한 p-채널 TFT(200)). 그 결과로, 뛰어난 영상 디스플레이 기능을 갖춘 매우 확실한 발광 디바이스(다시 말하면, 고성능 발광 디바이스)가 구해질 수 있다.

도 14는 상술된 픽셀 부분(450)과 구동 회로 부분(460)을 갖는 발광 디바이스의 구조를 도시하는 도면이다. 픽셀 부분(450)에 형성된 절연막(511)에는 유기체 수지(511)가 주어져 절연막과 기판(512) 사이의 공간을 채워준다. 그래서, 디바이스가 봉합된다. 에지 부근에 봉합 부재를 제공함으로서 밀폐성을 증진시키면, 더 개선된다. FPC(flexible printed circuit)은 단자 부분(453)에 부착된다.

이제는 도 15의 투시도가 본 실시예의 액티브 매트릭스 자기-발광 디바이스의 구조를 설명하는데 사용된다. 본 실시예의 액티브 매트릭스 구동 발광 디바이스는 유리 기판(601)상에 픽셀 부분(602), 신호선 구동 회로(603), 및 데이터선 구동 회로(604)를 갖는다. 픽셀 부분의 스위칭 TFT(605)는 n-채널 TFT이고, 게이트 배선(606)과 소스 배선(607)의 교차점에 놓인다. 게이트 배선은 게이트측 구동 회로(603)에 연결되고, 소스 배선은 소스측 구동 회로(604)에 연결된다. 스위칭 TFT(605)의 드레인 영역은 전류 제어 TFT(608)의 게이트에 연결된다.

전류 제어 TFT(608)의 데이터선측은 전력 공급선(609)에 연결된다. 본 실시예의 구조에서는 전력 공급선(609)에 접지 전위(ground electric potential)(접지 전위(earth electric potential))가 주어진다. 전류 제어 TFT(608)의 드레인 영역은 유기체 발광 디바이스(610)에 연결된다. 유기체 발광 디바이스(610)의 캐소드에는 소정의 전압(본 실시예에서는 10 내지 12 V)이 인가된다.

외부 입력/출력 단자로 동작하는 FPC(611)에는 구동 회로에 신호를 전달하기 위한 입력/출력 배선(연결 배선)(612, 613) 및 전력 공급선(609)에 연결된 입력/출력 배선(614)이 제공된다. 상술된 바와 같이, TFT 및 유기체 발광 디바이스는 발광 디바이스의 픽셀 부분을 구성하도록 조합된다.

실시 예 6

도 16a 내지 도 16e를 참고로, 실시 예 1 또는 2에서 사용되는 반도체막을 형성하는 예가 설명된다. 도 16a 내지 도 16e에서 설명되는 방법은 비결정질 구조를 갖는 반도체막의 전체 표면이 결정화를 위해 촉매 기능을 갖는 금속 원소로 도핑된 이후에 게터링(gettering)이 행해지는 것을 포함한다.

도 16a에서, 기판(701)은, 제한되는 것은 아니지만, 바람직하게 바륨 봉규산 유리, 알루미노 봉규산 유리, 또는 수정으로 형성된다. 제 1 절연막은 기판(701)의 표면에 형성된다. 제 1 절연막은 50nm의 두께로 플라스마 CVD에 의해 SiH_4 , NH_3 , 및 N_2O 로 형성된 제 1 질산화실리콘막(702)과 100nm의 두께로 플라스마 CVD에 의해 SiH_4 및 N_2O 로 형성된 제 2 질산화실리콘막(703)으로 구성된다. 제 1 절연막은 유리 기판에 포함된 알칼리 금속이 반도체막으로 확산되어 그에 형성되는 것을 방지하도록 제공된다. 수정이 기판을 형성하는데 사용되면, 제 1 절연막은 생략될 수 있다.

실리콘을 주로 포함하는 반도체 물질은 비결정질 구조를 갖고 제 1 절연막에 형성된 반도체막(704)으로 사용된다. 전형적으로, 반도체막(704)은 플라스마 CVD, 감소된 압력 CVD, 또는 스퍼터링에 의해 10 내지 100nm의 두께로 형성된 비결정질 실리콘막 또는 비결정질 실리콘 게르마늄막이다. 만족스러운 질의 결정을 구하기 위해, 비결정질 구조를 갖는 반도체막(704)에 포함된 산소 및 질소와 같은 불순물 농도는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 감소되어야 한다. 이들 불순물은 비결정질 반도체의 결정화를 방해하고, 결정화 이후, 트랩(trap) 중심 및 재조합 중심의 밀도를 증가시킨다. 그러므로, 미러 종료(mirror finish)(필드 연마 처리) 반응 챔버 및 무오일(oil-free) 진공 배기 시스템을 갖춘 울트라 진공 CVD 장치를 사용할 뿐만 아니라 고순도의 재료 기체를 사용하는 것이 바람직하다.

이어서, 비결정질 구조를 갖는 반도체막(704)의 표면은 결정화를 가속화하는 촉매 효과를 갖는 금속 원소로 도핑된다. 반도체막의 결정화를 가속하는 촉매 효과를 갖는 금속 원소의 예로는 철(Fe), 니켈(Ni), 코발트(Co), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 백금(Pt), 구리(Cu), 및 금(Au)이 포함된다. 상기로부터 선택된 하나 또는 그 이상의 종류의 금속 원소가 사용될 수 있다. 전형적으로, 니켈이 선택되고, 무게로 1 내지 100 ppm의 니켈을 포함하는 니켈 아세테이트 용액이 스피너(spinner)로 인가되어 촉매-포함층(705)을 형성한다. 용액이 잘 인가되도록 확실히 하기 위해, 비결정질 구조를 갖는 반도체막(704)에는 표면 처리가 실행된다. 표면 처리는 오존을 포함하는 수용액으로부터 매우 얇은 산화막을 형성하고, 불소산과 과산화수소 수용액의 혼합으로 산화막을 에칭하여 깨끗한 표면을 형성하고, 또한 오존을 포함하는 용액으로부터 다시 매우 얇은 산화막을 형성하는 것을 포함한다. 실리콘막과 같은 반도체막의 표면이 본래 물에 약하므로, 니켈 아세테이트 용액이 이 방법으로 산화막을 형성함으로서 균일하게 인가될 수 있다.

촉매-포함층(705)을 형성하는 방법은 이에 제한되지 않고, 스퍼터링, 증발, 플라스마 처리 등이 대신 사용될 수 있다. 촉매-포함층(705)은 비결정질 구조를 갖는 반도체막(704) 이전에 형성될 수 있다. 다시 말하면, 제 1 절연막에 형성될 수 있다.

비결정질 구조를 갖는 반도체막(704)을 촉매-포함층(705)과 접촉하여 유지하면서, 결정화를 위한 열처리가 실행된다. 전기 용광로를 사용한 용광로 어닐링, 또는 할로겐 램프, 할로겐화 금속 램프, 크세논 아크(xenon arc) 램프, 탄소 아크 램프, 고압 나트륨(sodium) 램프, 고압 수은 램프 등을 사용하는 고속 열적 어닐링(이후 RTA(rapid thermal annealing)이라 칭하여지는)이 열처리에 사용된다. 생산성을 고려하여, RTA가 유리하다.

RTA가 선택되면, 가열을 위한 램프 광원은 1 내지 60초 동안, 바람직하게 30 내지 60초 동안 켜지고, 1 내지 10회, 바람직하게 2 내지 6회 반복된다. 램프 광원으로부터 방사된 빛의 강도는 반도체막이 순간적으로 600 내지 1000°C, 바람직하게 650 내지 750°C에 이르도록 가열되는 한, 임의로 설정될 수 있다. 온도가 그 높이에 이를 때, 반도체막은 순간적으로 가열되고 기판(700)은 변형되지 않는다. 그래서, 비결정질 구조를 갖는 반도체막은 도 16b에 도시된 결정 구조를 갖는 반도체막(706)을 구하도록 결정화된다. 이러한 처리에 의한 결정화는 촉매-포함층이 제공될 때에만 이루어진다.

용광로 어닐링이 대신 사용되면, 500°C의 열처리가 1시간 동안 실행되어, 결정화를 위한 열처리 이전에 비결정질 구조를 갖는 반도체막(704)에 포함된 수소가 방출된다. 이어서, 기판은 반도체막을 결정화하도록 4시간 동안 550 내지 600°C, 바람직하게 580°C의 질소 대기에서 전기 용광로의 열처리를 수신한다. 그래서, 결정 구조를 갖는 도 16b에 도시된 바와 같은 반도체막(706)이 형성된다.

결정화 비율(막의 전체 부피에 대한 결정 성분의 비율)을 높이고 결정 입자에 남아있는 결함을 보안하기 위해 결정 구조를 갖는 반도체막(706)에 레이저광을 조사하는 것이 효과적이다. 사용가능한 레이저광의 예는 400nm 이하의 파장을 갖는 엑사이머 레이저광 및 YAG 레이저의 제 2 또는 제 3 고조파를 포함한다. 임의의 경우에는, 10 내지 1000Hz의 반복 주파수를 갖는 펄스 레이저광이 사용되고, 90 내지 95%의 오버랩 비율로 결정 구조를 갖는 반도체막(706)을 조사하도록 광학 시스템에 의해 100 내지 400 mJ/cm²의 빔으로 모아진다.

이와 같이 구해진 결정 구조의 반도체막(706)은 나머지 촉매 원소(여기서는 니켈)를 갖는다. 비록 막에서 촉매 원소가 균일하게 분포되지 않더라도, 그 농도는 평균적으로 1×10^{19} atoms/cm³ 이상이다. 촉매 원소가 남아있는 반도체막은 TFT 및 다른 반도체 소자를 형성할 수 있지만, 다음 방법에 따라 게터링에 의해 나머지 촉매 원소를 제거하는 것이 바람직하다.

먼저, 도 16c에 도시된 바와 같이 결정 구조를 갖는 반도체막(706)의 표면에 얇은 장벽층(707)이 형성된다. 장벽층의 두께는 특정하게 제한되지 않는다. 장벽층을 구하는 간단한 방법은 오존 수용액으로 표면을 처리하여 화학적 산화물을 형성하는 것이다. 화학적 산화물은 또한 과산화수소 수용액이 황산, 염화수소산, 또는 질산과 혼합된 수용액으로 처리될 때 형성될 수 있다. 다른 사용 가능한 방법은 산화 대기에서의 플라스마 처리 및 산소를 포함하는 대기에서 UV 조사 를 통해 발생된 오존에 의한 산화 처리를 포함한다. 대안적으로, 200 내지 350°C에 이를 때까지 청정 오븐에서 가열하여 형성된 얇은 산화막이 장벽층으로 사용될 수 있다. 1 내지 5nm의 두께로 플라스마 CVD, 스퍼터링, 또는 증착(evaporation)에 의해 형성된 산화막이 또한 장벽층으로 사용될 수 있다.

장벽층에서, 반도체막(708)은 25 내지 250nm의 두께를 갖도록 형성된다. 반도체막(708)은 전형적으로 아르곤을 사용하는 스퍼터링에 의해 형성된 0.01 내지 20 atomic %의 아르곤을 포함하는 비결정질 실리콘막이다. 추후 제거될 반도체막(708)은 바람직하게 에칭에서 결정 구조를 갖는 반도체막(706)에 대한 선택적인 비율을 증가시키기 위해 저밀도 막이다. 비결정질 실리콘막이 희기체 원소로 도핑되어 그에 희기체 원소를 가지고 있을 때, 게터링 사이트가 구해진다.

헬륨(He), 네온(Ne), 아르곤(Ar), 크립톤(Kr), 및 크세논(Xe)으로 구성된 그룹에서 선택된 하나 또는 그 이상의 종류의 원소는 희기체 원소로 사용된다. 본 발명은 희기체 원소가 이온 소스로 사용되어 게터링 사이트를 형성하고, 희기체 원소가 이온 도핑 또는 이온 주입에 의해 반도체막으로 주입되는 것을 특징으로 한다. 희기체 원소의 이온을 주입하는데는 2가지 이유가 있다. 한가지는 반도체막이 왜곡되도록 주입에 의해 땅글링 본드(dangling bond)를 형성하는 것이다. 다른 하나는 격자 셀에 이온을 주입하여 왜곡시키는 것이다. 2가지 목적은 모두 불활성 기체의 이온을 주입하여 실행된다. 특정하게, 후자는 아르곤(Ar), 크립톤(Kr), 또는 크세논(Xe)과 같이 실리콘 보다 원자 반지름이 큰 원소가 사용될 때 현재하게 잘 이루어진다.

게터링이 철저하게 실행되는 것을 확실히 하기 위해, 이 지점에서는 열처리가 필요하다. 열처리는 용광로 어닐링 또는 RTA에 의해 이루어진다. 용광로 어닐링이 선택되면, 열처리는 0.5 내지 12시간 동안 450 내지 600°C의 질소 대기에서 실행된다. RTA가 선택되면, 가열을 위한 램프 광원이 1 내지 60초, 바람직하게 30 내지 60초 켜지고, 1 내지 10회, 바람직하게 2 내지 6회 반복된다. 램프 광원으로부터 방사되는 빛의 강도는 반도체막이 순간적으로 600 내지 1000°C, 바람직하게 700 내지 750°C에 이르도록 가열되는 한, 임의적으로 설정될 수 있다.

게터링 동안, 게터링 영역(트랩 사이트)내의 촉매 원소는 열에너지에 의해 방출되고, 확산을 통해 게터링 사이트로 이동된다. 따라서, 게터링은 더 높은 온도에서 더 짧은 시간 주기로 처리 온도 및 게터링 처리에 의존한다. 도 16e에서, 촉매 원소가 게터링 동안 이동하는 거리는 반도체막의 두께와 거의 같으므로, 본 발명의 게터링은 비교적 짧은 시간 주기내에 완료된다.

이러한 열처리는 1×10^{20} atoms/cm³ 이상의 농도로 희기체 원소를 포함하는 반도체막(708)을 결정화하지 않는다. 이는 희기체가 상기 처리 온도 범위에서 재충전되지 않고 나머지 원소가 반도체막의 결정화를 방해하기 때문에 가정된다.

게터링 단계가 종료된 이후에, 비결정질 반도체막(708)은 선택적인 에칭에 의해 제거된다. 사용되는 에칭 방법은 플라스마를 사용하지 않는 ClF₃에 의한 건식 에칭, 또는(CH₃)₄NOH(tetraethyl ammonium hydroxide)를 포함하는 수용액과 같은 알칼리 용액 또는 히드라진(hydrazine)을 사용하는 습식 에칭이 될 수 있다. 장벽층(707)은 이 지점에서 에칭 중단기(stopper)로 동작한다. 이후에, 장벽층(707)은 불소산을 사용하여 제거된다.

이 방법으로, 촉매 원소의 농도가 1×10^{17} atoms/cm³ 이하로 감소된 결정 구조를 갖는 반도체막(710)이 도 16e에 도시된 바와 같이 구해진다. 이와 같이 형성된 결정 구조의 반도체막(710)은 촉매 원소의 효과로 인해 얇은 막대형 결정 또는 얇고 평평한 막대형 결정의 형태이다. 거시적으로, 각 결정은 특정한 지향성을 가지고 성장된다. 결정 구조를 갖도록 본 실시예에 따라 형성된 반도체막(710)은 실시예 1 또는 2의 반도체막에 적용될 수 있다.

실시예 7

도 17a 내지 도 17c를 참고로, 결정 구조를 갖는 실시예 8의 반도체막(706)에 남아있는 촉매 원소를 게터링하는 또 다른 방법이 설명된다. 150nm의 두께로 결정 구조를 갖는 반도체막(706)에는 마스크로 산화실리콘막이 형성된다. 레지스트 마스크(712)가 형성된 이후에, 산화실리콘막은 에칭되어 마스크 절연막(711)을 구한다. 이어서, 희기체 원소, 희기체 원소와 인, 또는 인은 게터링 사이트(713)를 형성하도록 이온 도핑에 의해 결정 구조를 갖는 반도체막(706)으로 주입된다.

이어서, 도 17b에 도시된 바와 같이, 용광로 어닐링에 의해 0.5 내지 12시간 동안 450 내지 600°C의 질소 대기에서 열처리가 실행된다. 이 열처리를 통해, 결정 구조를 갖는 반도체막(706)에 남아있는 촉매 원소는 게터링 사이트(713)로 이동되고, 거기서 모아진다.

마스크 절연막(711) 및 게터링 사이트는 이어서 결정 구조를 갖는 반도체막(710)을 구하도록 에칭에 의해 제거된다. 결정 구조를 갖도록 본 실시예에 따라 형성된 반도체막(710)은 실시예 1 또는 2의 반도체막에 인가될 수 있다.

실시예 8

실시예 6의 기판(710)에 형성된 제 1 절연막으로 1 내지 10nm 두께의 질화실리콘막이 사용될 수 있다. 그 막은 제 1 절연막(720)이라 칭하여진다. 도 29에서는, 제 1 절연막(720)이 사용되고, 실시예 6에 따라 형성된 결정 구조를 갖는 반도체막(706), 장벽층(707), 반도체막(708), 및 희기체 원소로 도핑된 반도체막(709)이 적층되어 게터링을 위한 열처리를 수신한다. 니켈과 같은 촉매 원소는 산소 부근에서 또는 산소에 의해 본래 둘러싸인다. 따라서, 제 1 절연막으로 질화실리콘막을 사용하는 것은 결정 구조를 갖는 반도체막(706)으로부터 반도체막(708), 또는 희기체 원소로 도핑된 반도체막(709)으로의 촉매 원소 이동을 용이하게 한다.

실시예 9

액정 텔레비전 수상기가 일반화되고 화면 크기가 더 커짐에 따라, 데이터선 및 게이트선에서의 배선 지연 문제점이 더 이상 무시할 수 없게 되었다. 예를 들어, 실시예 1에 도시된 픽셀 구조는 한편으로 더 높은 개구 비율(aperture ratio)을 제공할 수 있지만, 다른 한편으로는 데이터선 및 게이트 전극을 형성하는데 똑같은 물질이 사용되므로 화면 크기가 증가될 때 배선 지연의 문제점을 다룰 필요가 있다.

디스플레이 디바이스가 VGA 레벨의 픽셀 밀도를 가질 때는, 480 게이트 배선 및 640 소스 배선이 있고, XGA 레벨의 경우에는 768 게이트 배선 및 1024 소스 배선이 있다. 디스플레이 영역의 화면 크기에 대해, 13 인치 디스플레이에는 대각선 길이가 340 mm로 측정되지만, 이는 18 인치 디스플레이에 대해 460 mm이다. 본 실시예는 지연 문제점을 해결하고 이러한 디스플레이 디바이스에서 배선에 요구되는 면적을 최소로 줄이는 방법을 제공한다.

본 실시예의 TFT 게이트 전극은 실시예 모드 1 또는 실시예 1에서와 같이 적어도 2가지 타입의 도전성막의 적층으로 형성된다. Al 및 Cu가 저저항 재료로 바람직하고, 또한 높은 도전성을 갖는다. 그러나, Al 및 Cu는 열 및 부식에 대해 약하여 어느 정도 극복되어야 한다.

특정하게, 대응책으로는 게이트 절연막과 접촉하는 제 1 도전성막으로 질화탄탈 및 질화티타늄과 같은 질산금속 재료 또는 Mo 및 W와 같이 높은 녹는점을 갖는 재료를 사용하고, Al 및 Cu의 확산을 저지하기 위한 장벽으로 동작할 수 있는 재료를 사용하는 것이 포함된다. 제 2 도전성막은 Al 또는 Cu로 형성되고, 제 3 도전성막은 Ti 또는 W를 사용하여 형성된다. 이는 도전성막에 형성되는 배선과의 접촉 저항을 낮추고, 비교적 쉽게 산화되는 Al 또는 Cu를 보호하기 위한 것이다.

도 18은 게이트 전극, 데이터선, 및 캐패시턴스선을 형성하기 위해 W 막이 제 1 도전성막으로 사용되고, Al 막이 제 2 도전성막으로 사용되고, Ti 막이 제 3 도전성막으로 사용되는 예를 도시한다. 구동 회로 부분(205) 및 픽셀 부분(206)은 실시예 1에 따라 구성된다.

제 1 에칭 처리에서, ICP 에칭 장치가 사용되면, BCl_3 , Cl_2 , 및 O_2 가 에칭 기체로 사용되고, 그 흐름 비율은 65 : 10 : 5로 설정되고, 압력은 1.2 Pa로 설정된다. 고주파수 전력은 실질적으로 음의 값으로 바이어스되도록 기판측에 인가된다. 이러한 조건하에서, Al 막이 에칭되고, 에칭 기체는 CF_4 , Cl_2 , 및 O_2 로 변하여(흐름 비율은 25 : 25 : 10으로 설정) W 막을 에칭한다.

제 2 에칭 처리에서는 BCl_3 및 Cl_2 가 에칭 기체로 사용되고, 흐름 비율이 20 : 60으로 설정되고, 또한 실질적으로 음의 값으로 바이어스되도록 기판측에 고주파수 전력이 인가된다. 그 결과로, Al 막과 Ti 막은 선택적으로 에칭되어, 도 18에 도시된 제 2 형상의 전극(127 내지 129) 및 제 2 형상의 배선(130 내지 132)을 형성한다(전극 및 배선은 제 1 도전성막(127e 내지 132e), 제 2 도전성막(127f 내지 132f), 및 제 3 도전성막(127g 내지 132g)으로 형성된다).

도 18에서, 배선 저항은 Al로부터 데이터선(131) 및 게이트선을 형성함으로서 충분히 낮아진다. 따라서, 기판은 4 인치 이상의 픽셀 부분(화면 크기)을 갖는 디스플레이 디바이스에 적용될 수 있다. 한편, 실시예 5에 도시된 발광 디바이스의 전력 공급선과 같이 배선의 전류 밀도를 상승시키고 싶으면, Cu가 배선에 적절하다. Cu 배선은 Al 배선 보다 전기 이동에 대해 더 높은 저항을 갖는 것을 특징으로 한다.

실시예 10

실시예 1 또는 2에 도시된 제 1의 n-채널 TFT는 주기율표에서 그룹 15에 속하는 원소(바람직하게, 인) 또는 그룹 13 원소(바람직하게, 봉소)로 채널 형성 영역으로 동작하는 반도체막을 도핑함으로서 증진형(enhancement type) TFT 또는 저하형(depression type) TFT가 될 수 있다. n-채널 TFT가 NMOS 회로를 구성하도록 조합될 때, 2개의 증진형 TFT의 조합은 EEMOS 회로를 제공하고, 증진형 TFT 및 저하형 TFT의 조합은 EDMOS 회로를 제공한다.

EEMOS 회로의 예는 도 19a에 도시되고, EDMOS 회로의 예는 도 19b에 도시된다. 도 19a에서, (31, 32)는 모두 증

진형 n-채널 TFT(이후 E NTFT라 칭하여지는)를 나타낸다. 도 19b에서, (33)은 E NTFT를 나타내고, (34)는 저하형 n-채널 TFT(이후 D NTFT라 칭하여지는)를 나타낸다. 도 19a 및 도 19b에서, VDH는 양의 전압이 인가되는 전력 공급선(양의 전력 공급선)을 나타내고, VDL은 음의 전압이 인가되는 전력 공급선(음의 전력 공급선)을 나타낸다. 음의 전력 공급선은 접지 전위의 전력 공급선(접지 전력 공급선)이 될 수 있다.

도 20a 및 도 20b는 도 19a에 도시된 EEMOS 회로로부터, 또는 도 19b에 도시된 EDMOS 회로로부터 제조되는 쉬프트 레지스터의 예를 도시한다. 도 20a 및 도 20b에서, (40, 41)은 플립-플롭(flip-flop) 회로를 나타낸다. (42, 43)은 E NTFT를 나타낸다. E NTFT(42)의 게이트는 클럭 신호(CL)를 수신하고, E NTFT(43)의 게이트는 반전 극성의 클럭 신호(CL⁻)를 수신한다. 인버터는 (44)로 나타내지고, 도 20b에 도시된 바와 같이, 도 19a에 도시된 EEMOS 회로 또는 도 19b에 도시된 EDMOS 회로를 사용한다. 따라서, 액정 디스플레이 디바이스의 구동 회로에서 모든 TFT에 n-채널 TFT를 사용하는 것이 가능하다.

실시예 11

본 실시예는 액티브 매트릭스 구동의 디스플레이 디바이스에 대한 회로 구조의 예를 제공한다. 본 실시예에서는 특히 소스측 구동 회로 및 게이트측 구동 회로가 모두 실시예 10의 E형 NTFT로 구성되는 예를 설명한다. 그 설명은 도 21 내지 도 23을 참고로 주어진다. 본 실시예는 쉬프트 레지스터 대신에 n-채널 TFT로 구성된 디코더를 사용한다.

도 24는 게이트측 구동 회로의 예를 도시한다. 도 25에서, 참고 기호(1000)은 게이트측 구동 회로의 디코더를 나타내고, (1001)은 게이트측 구동 회로의 버퍼 유닛을 나타낸다. 버퍼 유닛은 다수의 버퍼(버퍼 증폭기)가 집적되는 부분을 칭한다. 버퍼는 다운스트림(downstream)에서 업스트림(upstream)으로 영향을 주지 않고 구동되는 회로이다.

먼저, 게이트측 디코더(1000)가 설명된다. 디코더(1000)의 입력 신호선(선택선이라 칭하여지는)은 (1002)로 나타내진다. 선(1002) 중에서, 여기서는 선 A1, A⁻1(A1의 극성을 반전시켜 구해진 신호), A2, A⁻2(A2의 극성을 반전시켜 구해진 신호), ..., An, A⁻n(An의 극성을 반전시켜 구해진 신호)이 도시된다. 간단하게, 2n 선택선이 배열된다. 선택선의 수는 게이트측 구동 회로로부터 출력된 게이트 배선의 열수에 의해 결정된다. 예를 들어, 디스플레이 디바이스가 VGA 레벨 디스플레이를 할 수 있는 픽셀 부분을 가지면, 게이트 배선의 수는 480이므로, 9 비트(n = 9)에 대응하는 선택선, 즉 합하여 18개 선택선이 요구된다. 선택선(1002)은 도 22의 타이밍도에 도시된 신호를 전달한다. 도 22에 도시된 바와 같이, A1의 주파수가 1로 주어질 때, A2의 주파수는 그의 2⁻¹ 배이고, A3의 주파수는 그의 2⁻² 배이고, 또한 An의 주파수는 그의 2⁻⁽ⁿ⁻¹⁾ 배이다.

참고 기호(1003a)는 제 1 스테이지 NAND 회로(또한, NAND 셀이라 칭하여지는)를 나타내고, (1003b)는 제 2 스테이지 NAND 회로를 나타내고, 또한 (1003c)는 제 n 스테이지 NAND 회로를 나타낸다. 요구되는 NAND 회로의 수는 게이트 배선의 수에 대응하고, 여기서는 n개의 NAND 회로가 필요하다. 간략하게, 본 발명의 디코더(1000)는 다수의 NAND 회로로 구성된다.

각 NAND 회로(1003a 내지 1003c)는 n-채널 TFT(1004 내지 1009)의 조합을 갖는다. 실제로, 각 NAND 회로(1003)에는 2n개 TFT가 사용된다. n-채널 TFT(1004 내지 1009)는 각각 선택선(1002)(A1, A⁻1, A2, A⁻2, ..., An, A⁻n) 중 하나에 연결된 게이트를 갖는다.

NAND 회로(1003a)에서, 선 A1, A2, ..., An(이들 선은 양의 선택선이라 칭하여진다) 중 하나에 연결된 게이트를 각각 갖는 n-채널 TFT(1004 내지 1006)는 서로 병렬로 연결되고, 공통 소스인 음의 전력 공급선(V_{DL})(1010) 및 공통 드레인인 출력선(1011)에 연결된다. 선 A⁻1, A⁻2, ..., A⁻n(이들 선은 음의 선택선이라 칭하여지는) 중 하나에 연결된 게이트를 각각 갖는 n-채널 TFT(1007 내지 1009)는 서로 직렬로 연결되고, 회로의 끝부분에 위치하는 n-채널 TFT(1009)는 양의 전력 공급선(V_{DH})(1012)에 연결된 소스를 갖는 반면, 회로의 다른 끝부분에 위치하는 n-채널 TFT(1007)는 출력선(1011)에 연결된 드레인을 갖는다.

상술된 바와 같이, 본 발명의 각 NAND 회로는 직렬로 연결된 n개의 n-채널 TFT와 병렬로 연결된 n개의 n-채널 TFT를 포함한다. 그러나, n-채널 TFT와 선택선의 조합은 n개의 NAND 회로(1003a 내지 1003c)에서 회로에 따라 다르다. 다시 말하면, 단 하나의 출력선(1011)만이 한번에 선택되고, 선택선(1002)은 끝에서 시작되어 하나씩 출력선(1011)을 선택하는 신호를 수신한다.

버퍼 유닛(1001)은 NAND 회로(1003a 내지 1003c)에 따라 각각 다수의 버퍼(1013a 내지 1013c)로 구성된다. 버퍼(1013a 내지 1013c)는 똑같은 방법으로 모두 구성될 수 있다.

각 버퍼(1013a 내지 1013c)는 n-채널 TFT(1014 내지 1016)로 구성된다. 디코더로부터의 출력선(1011)은 n-채널 TFT(1014)(제 1의 n-채널 TFT)의 게이트로 입력된다. n-채널 TFT(1014)는 스스로 양의 전력 공급선(V_{DH}) (1017)을 사용하고, 드레인으로 픽셀 부분에 이르는 게이트 배선(1018)을 사용한다. n-채널 TFT(1015)(제 2의 n-채널 TFT)는 게이트로 양의 전력 공급선(V_{DH}) (1017)을 사용하고, 스스로 음의 전력 공급선(V_{DL}) (1019)을 사용하고, 또한 드레인으로 항상 ON 상태로 유지되는 게이트 배선(1018)을 사용한다.

다시 말하면, 본 발명의 각 버퍼(1013a 내지 1013c)는 제 1의 n-채널 TFT(n-채널 TFT(1014)), 및 제 1의 n-채널 TFT와 직렬로 연결되고 제 1의 n-채널 TFT의 드레인을 게이트로 사용하는 제 2의 n-채널 TFT(n-채널 TFT(1015))를 갖는다.

n-채널 TFT(1016)(제 3의 n-채널 TFT)는 게이트로 리셋 신호선(Reset)을 사용하고, 스스로 음의 전력 공급선(V_{DL}) (1019)을 사용하고, 또한 드레인으로 게이트 배선(1018)을 사용한다. 음의 전력선(V_{DL}) (1019)은 접지 전력선(GND)이 될 수 있다.

n-채널 TFT(1015)(W1)의 채널폭과 n-채널 TFT(1014)(W2)의 채널폭은 관계 $W1 < W2$ 를 만족시킨다. 채널폭은 채널 길이에 수직인 방향으로 채널 형성 영역의 길이를 칭한다.

버퍼(1013a)는 다음과 같이 동작한다. 먼저, 음의 전압이 출력선(1011)에 인가되는 동안, n-채널 TFT(1014)는 OFF 상태(채널이 확립되지 않은 상태)에 있다. 한편, n-채널 TFT(1015)는 항상 ON 상태(채널이 확립되는 상태)에 있으므로, 음의 전력 공급선(1019)의 전압이 게이트 배선(1018)에 인가된다.

양의 전압이 출력선(1011)에 인가될 때, n-채널 TFT(1014)는 ON 상태로 된다. 이때, 게이트 배선(1018)의 전위는 n-채널 TFT(1014)의 채널폭이 n-채널 TFT(1015)의 채널폭 보다 더 크기 때문에 n-채널 TFT(1014)측의 출력에 의해 영향을 받는다. 그 결과로, 양의 전력 공급선(1017)의 전압이 게이트 배선(1018)에 인가된다. 그래서, 게이트 배선(1018)은 양의 전압이 출력선(1011)에 인가될 때 양의 전압(픽셀의 스위칭 소자로 사용되는 n-채널 TFT를 ON시키는 전압)을 출력한다. 한편, 출력선(1011)에 음의 전압이 인가될 때, 게이트 배선(1018)은 항상 음의 전압(픽셀의 스위칭 소자로 사용되는 n-채널 TFT를 OFF 시키는 전압)을 출력한다.

n-채널 TFT(1016)는 게이트 배선(1018)에 인가되는 양의 전압을 강제로 음의 전압으로 낮추기 위한 리셋 스위치로 사용된다. 특정하게, n-채널 TFT(1016)는 음의 전압이 게이트 배선(1018)에 인가되도록 게이트 배선(1018)의 선택 주기가 종료될 때 리셋 신호를 입력한다. 그러나, n-채널 TFT(1016)는 생략될 수 있다.

상기와 같이 동작하는 게이트측 구동 회로는 게이트 배선을 하나씩 선택한다. 다음에는, 소스측 구동 회로의 구조가 도 26에 도시된다. 도 26에 도시된 소스측 구동 회로는 디코더(1021), 래치(1022), 및 버퍼 유닛(1023)을 포함한다. 디코더(1021) 및 버퍼 유닛(1023)의 구조는 게이트측 구동 회로의 디코더 및 버퍼 유닛과 똑같으므로, 여기서는 그 설명이 생략된다.

도 23의 소스측 구동 회로의 경우, 래치(1022)는 제 1 스테이지 래치(1024) 및 제 2 스테이지 래치(1025)로 구성된다. 제 1 스테이지 래치(1024) 및 제 2 스테이지 래치(1025)는 각각 m개의 n-채널 TFT(1026a 내지 1026c)로 구성된 다수의 기본 유닛(1027)을 갖는다. 디코더(1021)로부터의 출력선(1028)은 각 기본 유닛(1027)을 구성하는 m개의 n-채널 TFT(1026a 내지 1026c)의 게이트에 입력된다. 기호 m은 임의의 정수를 나타낸다.

디스플레이 디바이스가 예를 들어, VGA 레벨 디스플레이 기능을 가지면, 640개의 소스 배선이 있다. $m = 1$ 일 때, 요구되는 NAND 회로의 수는 또한 640이고, 20개의 선택선(10 비트에 대응하는)이 필요하다. $m = 8$ 일 때, 요구되는 NAND 회로는 80이고, 14개의 선택선(7 비트에 대응하는)이 필요하다. 간략하게, 요구되는 NAND 회로의 수는 소스 배선의 수가 M인 경우 M/m 이다.

n-채널 TFT(1026a 내지 1026c)의 소스는 각각 비디오 신호선(V1, V2, ..., V_k)(1029)에 연결된다. 그러므로, 양의 전압이 출력선(1028)에 인가될 때, n-채널 TFT(1026a 내지 1026c)는 일단 ON 상태로 되고, 각 TFT와 연관된 비디오 신호가 입력된다. 이와 같이 입력된 비디오 신호는 n-채널 TFT(1026a 내지 1026c)에 각각 연결된 캐패시터(1030a 내지 1030c)에 유지된다.

제 2 스테이지 래치(1025)는 다수의 기본 유닛(1027b)을 갖는다. 각 기본 유닛(1027b)은 m개의 n-채널 TFT(1031a 내지 1031c)로 구성된다. n-채널 TFT(1031a 내지 1031c)의 게이트는 모두 래치 신호선(1032)에 연결되므로, n-채널 TFT(1031a 내지 1031c)는 음의 전압이 래치 신호선(1032)에 인가될 때 일단 ON 상태로 된다.

그 결과로, 캐패시터(1030a 내지 1030c)에 유지되는 신호는 이제 n-채널 TFT(1031a 내지 1031c)에 각각 연결된 캐패시터(1033a 내지 1033c)에 의해 유지된다. 동시에, 캐패시터(1030a 내지 1030c)에 유지되는 신호는 버퍼 유닛(1023)으로 출력된다. 이어서, 그 신호는 도 21에서 설명되는 바와 같이 버퍼를 통해 소스 배선(1034)에 출력된다. 상기와 같이 동작하는 소스측 구동 회로는 하나씩 소스 배선을 선택한다.

상술된 바와 같이, 픽셀 부분 및 구동 회로는 게이트측 구동 회로 및 소스측 구동 회로를 n-채널 TFT만으로 만듬으로서 모두 n-채널 TFT로 구성될 수 있다. 본 실시예의 구조는 실시예 1 또는 2에서의 액티브 매트릭스 기판의 구동 회로에 적용될 수 있다.

실시예 12

본 실시예에서는, 액티브 매트릭스 구동의 디스플레이 디바이스에서 회로 구조의 특정한 예가 설명된다. 특정하게, 본 실시예는 실시예 1 또는 2에서 설명된 p-채널 TFT가 소스측 구동 회로 및 게이트측 구동 회로에 사용되는 경우이다. p-채널 TFT를 사용하는 디코더가 일반적인 쉬프트 레지스터에 대체된다. 도 24는 게이트측 구동 회로의 한 예를 설명한다.

도 24에서, 참고번호(1200)는 게이트측 구동 회로의 디코더를 나타내고, (1201)은 게이트측 구동 회로의 버퍼 섹션을 나타낸다. 여기서, 버퍼 섹션은 다수의 버퍼(버퍼 증폭기)가 집적되는 부분을 칭한다. 더욱이, 버퍼는 이전 스테이지에서 이어지는 스테이지의 역효과를 제공하지 않고 구동 기능을 나타낼 수 있는 회로를 칭한다.

이제는 게이트측 디코더(1200)가 설명된다. 참고번호(1202)는 디코더(1200)의 입력 신호선(이후 선택선이라 칭하는)을 나타내고, 보다 특정하게 A₁, A₁~1(A₁에 대해 반전된 극성을 갖는 신호), A₂, A₂~2(A₂에 대해 반전된 극성을 갖는 신호), ..., A_n, 및 A_n~n(A_n에 대해 반전된 극성을 갖는 신호)를 나타낸다. 다른 말로 하면, 이는 2n개 선택선이 배열되는 것으로 생각될 수 있다.

선택선의 수는 게이트측 구동 회로에서 출력되는 게이트 배선의 수를 근거로 결정된다. 예를 들어, VGA 디스플레이를 위한 픽셀 섹션이 제공되는 경우, 480개 게이트 배선이 요구되어, 9 비트에 대해 제공되도록 총 18개 선택선을 요구한다($n = 9$ 인 경우에 대응하는). 선택선(1202)은 도 25의 타이밍도에 도시된 신호들을 전송한다. 도 25에 도시된 바와 같이, A₁의 주파수가 1로 표준화된다고 가정하면, A₂의 주파수는 2^{-1} 로 표시될 수 있고, A₃의 주파수는 2^{-2} 로 표시될 수 있고, A_n의 주파수는 $2^{-(n-1)}$ 로 표시될 수 있다.

참고번호(1203a)는 제 1 스테이지 NAND 회로(NAND 셀로 칭하여지는)를 나타내고, (1203b, 1203c)는 각각 제 2 스테이지 및 제 n 스테이지의 NAND 회로를 나타낸다. NAND 회로의 요구되는 수는 게이트 배선의 수와 똑같고, 특정하게 여기서는 n개의 NAND 회로가 요구된다. 다시 말하면, 본 발명에 따른 디코더(1200)는 다수의 NAND 회로로 구성된다.

각 NAND 회로(1203a 내지 1203c)에서는 p-채널 TFT(1204 내지 1209)가 조합되어 NAND 회로를 형성한다. 실제로, 각 NAND 회로(1203)에서는 2n개의 TFT가 사용된다. 더욱이, 각 p-채널 TFT(1204 내지 1209)의 게이트는 선택선(1202)(A1, A⁻1, A2, A⁻2, ..., An, A⁻n) 중 하나에 연결된다.

이 경우, NAND 회로(1203a)에서는, 각각 A1, A2, ..., An(양의 선택선이라 칭하여지는) 중 임의의 것에 연결된 게이트를 갖는 p-채널 TFT(1204 내지 1206)가 서로 병렬로 연결되고, 또한 공통 소스인 양의 전력 공급 배선(V_{DH})(1210)에 연결되고, 공통 드레인으로 출력선(1200)에 연결된다. 한편, 각각 A⁻1, A⁻2, ..., A⁻n(음의 선택선이라 칭하여지는) 중 임의의 것에 연결된 게이트를 갖는 나머지 p-채널 TFT(1207 내지 1209)는 서로 직렬로 연결되고, 회로의 한 끝부분에 위치하는 p-채널 TFT(1209)의 소스가 음의 전력 공급 배선(V_{DL})(1212)에 연결되고, 회로의 다른 끝부분에 위치하는 p-채널 TFT(1207)의 드레인이 출력선(1211)에 연결된다.

상술된 바와 같이, 본 발명에 따른 NAND 회로는 직렬로 연결된 한 도전형(이 경우에는 p-채널 TFT)의 n개 TFT 및 병렬로 연결된 한 도전형(이 경우에는 p-채널 TFT)의 다른 n개 TFT를 포함한다. n개 NAND 회로(1203a 내지 1203c)에서는 p-채널 TFT와 선택선 사이의 모든 조합이 서로 다름을 주목하여야 한다. 다시 말하면, 출력선(1211)은 이들 중 하나만이 선택되도록 구성되고, 신호는 출력선(1211)이 한 측으로부터 순차적으로 선택되도록 선택선(1202)에 입력된다.

이어서, 버퍼(1201)는 각각 NAND 회로(1203a 내지 1203c)에 대응하도록 다수의 버퍼(1213a 내지 1213c)로 구성된다. 버퍼(1213a 내지 1213c)는 동일한 구조를 가질 수 있음을 주목하여야 한다.

더욱이, 버퍼(1213a 내지 1213c)는 한 도전형의 TFT인 p-채널 TFT(1214 내지 1216)로 형성된다. 디코더로부터의 출력선(1211)은 대응하는 p-채널 TFT(1214)(한 도전형의 제 1의 TFT)의 게이트로 입력된다. p-채널 TFT(1214)는 소스로 접지 전력 소스 배선(GND)(1217)을 사용하고, 드레인으로 게이트 배선(1218)을 사용한다. 더욱이, p-채널 TFT(1215)(한 도전형의 제 2의 TFT)는 게이트로 접지 전력 소스선(1217)을 사용하고, 소스로 양의 전력 소스선(V_{DH})(1219)을 사용하고, 드레인으로 항상 ON 상태를 유지하는 게이트 배선(1218)을 사용한다.

다시 말하면, 본 발명에 따른 각 버퍼(1213a 내지 1213c)는 한 도전형의 제 1의 TFT(p-채널 TFT(1214))를 포함하고, 또한 한 도전형의 제 1의 TFT에 직렬로 연결되고 드레인으로 한 도전형의 제 1의 TFT의 게이트를 사용하는 한 도전형의 제 2의 TFT(p-채널 TFT(1215))를 포함한다.

더욱이, p-채널 TFT(1216)(한 도전형의 제 3의 TFT)는 게이트로 리셋 신호선(Reset)을 사용하고, 소스로 양의 전력 소스선(1219)을 사용하고, 또한 드레인으로 게이트 배선(1218)을 사용한다. 접지 전력 소스선(1217)은 음의 전력 소스선(픽셀의 스위칭 소자로 사용되는 p-채널 TFT가 ON 상태로 되게 하는 전압을 제공하기 위한 전력 소스선)으로 대체될 수 있음을 주목하여야 한다.

이 경우, p-채널 TFT(1215)의 채널폭(W1으로 나타내지는) 및 p-채널 TFT(1214)의 채널폭(W2로 나타내지는)은 $W1 < W2$ 의 관계를 만족시킨다. 채널폭은 채널 길이에 수직 방향으로 측정된 채널 형성 영역의 길이를 칭한다.

버퍼(1213a)는 다음과 같이 동작한다. 양의 전압이 출력선(1211)에 인가되고 있는 시간 주기 동안, p-채널 TFT(1214)는 OFF 상태에 있다(즉, 그 채널이 형성되지 않는다). 한편, p-채널 TFT(1215)가 항상 ON 상태에 있으므로(즉, 채널이 형성되므로), 양의 전력 소스선(1219)의 전압은 게이트 배선(1218)에 인가된다.

한편, 음의 전압이 출력선(1211)에 인가되는 경우, p-채널 TFT(1214)는 ON 상태로 된다. 이 경우에는, p-채널 TFT(1214)의 채널폭이 p-채널 TFT(1215) 보다 더 넓으므로, 게이트 배선(1218)의 전위는 p-채널 TFT(1214)의 측면에서 출력에 의해 끌어 당겨지고, 그에 의해 접지 전력 소스선(1217)의 전위가 게이트 배선(1218)에 인가되게 된다.

따라서, 게이트 배선(1218)은 음의 전압이 출력선(1211)에 인가되고 있을 때 음의 전압을 출력하고(픽셀의 스위칭 소자로 사용될 p-채널 TFT가 ON 상태로 되게 하는), 양의 전압이 출력선(1211)에 인가되고 있을 때는 항상 양의 전압을 출력한다(픽셀의 스위칭 소자로 사용될 p-채널 TFT가 OFF 상태로 되게 하는).

p-채널 TFT(1216)는 음의 전압이 인가되고 있는 게이트 배선(1218)이 양의 전압으로 끌어 올려지게 하는 리셋 스위치로 사용된다. 즉, 게이트 배선(1218)의 선택 주기가 완료된 이후에, 양의 전압이 게이트 배선(1218)에 인가되고 뒤 리셋 신호가 입력된다. p-채널 TFT(1216)는 생략될 수 있음을 주목하여야 한다.

상술된 방식으로 동작하는 게이트측 구동 회로로, 게이트 배선이 선택적으로 선택된다. 이때, 소스측 구동 회로의 구조는 도 26에 도시된다. 도 26에 도시된 바와 같은 소스측 구동 회로는 디코더(1301), 래치(1302), 및 버퍼(1303)를 포함한다. 디코더(1301) 및 버퍼(1303)가 각각 게이트측 구동 회로와 똑같은 구조를 가지므로, 여기서는 설명이 생략된다.

도 25에 도시된 소스측 구동 회로의 경우, 래치(1302)는 제 1 스테이지 래치(1304) 및 제 2 스테이지 래치(1305)로 구성된다. 제 1 스테이지 래치(1304) 및 제 2 스테이지 래치(1305) 각각은 다수의 기본 유닛(1307)을 포함하고, 이들은 각각 m개의 p-채널 TFT(1306a 내지 1306c)로 구성된다. 디코더(1301)로부터의 출력선(1308)은 기본 유닛(1307)을 형성하는 m개의 p-채널 TFT(1306a 내지 1306c)의 각 게이트에 입력된다. 숫자 m은 임의의 정수임을 주목하여야 한다.

예를 들어, VGA 디스플레이의 경우, 소스 배선의 수는 640이다. m = 1인 경우, 제공되도록 요구되는 NAND 회로의 수는 또한 640이고, 20개의 선택선(10 비트에 대응하는)이 제공되도록 요구된다. 그러나, 한편으로, m = 8일 때, 필요한 NAND 회로의 수는 80이고, 필요한 선택선의 수는 14(7 비트에 대응하는)이다. 즉, 소스 배선의 수가 M이라 가정하면, 필요한 NAND 회로의 수는 M/m으로 표시될 수 있다.

p-채널 TFT(1306a 내지 1306c)의 소스는 각각 비디오 신호선(V1, V2, ..., V_k)(1309)에 연결된다. 즉, 음의 전압이 출력선(1308)에 인가될 때, p-채널 TFT(1306a 내지 1306c)는 모두 동시에 ON 상태로 놓이므로, 비디오 신호가 각각 대응하는 p-채널 TFT(1306a 내지 1306c)로 취해진다. 이와 같이 얻어진 비디오 신호는 각각 그에 연결된 캐패시터(1310a 내지 1310c)에 유지된다.

더욱이, 제 2 스테이지 래치(1305)는 또한 각각 m개의 p-채널 TFT(1311a 내지 1311c)로 구성된 다수의 기본 유닛(1307b)을 포함한다. p-채널 TFT(1311a 내지 1311c)의 모든 게이트는 래치 신호선(1312)에 연결되므로, 음의 전압이 래치 신호선(1312)에 인가될 때, 모든 p-채널 TFT(1311a 내지 1311c)는 동시에 ON 상태로 된다.

그 결과로, 캐패시터(1310a 내지 1310c)에 유지되는 신호는 각각 p-채널 TFT(1311a 내지 1311c)에 연결된 캐패시터(1313a 내지 1313c)에 유지되고, 버퍼(1303)로 동시에 출력된다. 이어서, 도 24를 참고로 설명되는 바와 같이, 이들 신호는 버퍼를 통해 소스 배선(1314)에 출력된다. 상술된 방식으로 동작하는 소스측 구동 회로로, 소스 배선이 순차적으로 선택된다.

상기에서 설명된 바와 같이, p-채널 TFT만으로 게이트측 구동 회로 및 소스측 구동 회로를 구성함으로서, 모든 픽셀 셱션 및 구동 회로가 완전히 p-채널 TFT로 형성될 수 있다. 따라서, 액티브 매트릭스형 디스플레이 디바이스를 제조할 때, TFT 단계의 제조 산출량 및 처리량이 현저히 개선될 수 있고, 그에 의해 감소된 제조 비용을 제공하게 된다. 본 실시예의 구조는 실시예 1 또는 2에서 액티브 매트릭스 기판의 구동 회로에 인가될 수 있다.

실시예 13

본 발명을 사용하여 다양한 반도체 디바이스가 제조될 수 있다. 다음은 이러한 전자 장치의 예로 주어질 수 있다: 비디오 카메라; 디지털 카메라; 고글형(goggle type) 디스플레이(헤드 장착 디스플레이); 자동차 네비게이션(navigation)

장치: 오디오 재생 디바이스(자동차 오디오 시스템, 오디오 콤포(compo) 시스템과 같은); 랩탑(laptop) 개인용 컴퓨터; 게임 장비; 휴대용 정보 단말기(이동 컴퓨터, 이동 전화기, 이동 게임 장비, 또는 전자 서적과 같은); 및 기록 매체가 제공되는 영상 재생 디바이스. 이러한 반도체 디바이스의 예는 도 27 및 도 28에 도시된다.

도 27a는 데스크탑(desktop) 개인용 컴퓨터 등의 모니터를 설명하고, 프레임(3301), 지지 테이블(3302), 디스플레이 부분(3303) 등을 포함한다. 디스플레이 부분(3303)은 도 9에 도시된 발광 디바이스 또는 도 8에 도시된 액티브 매트릭스 구동의 액정 디스플레이 디바이스에 적용될 수 있다. 또 다른 집적 회로는 본 발명의 TFT를 적용하여 형성될 수 있다. 데스크탑 개인용 컴퓨터의 모니터는 본 발명을 사용하여 완성될 수 있다.

도 27b는 메인 본체(3311), 디스플레이 부분(3312), 오디오 입력 부분(3313), 동작 스위치(3314), 배터리(3315), 영상 수신 부분(3316) 등을 포함하는 비디오 카메라를 설명한다. 디스플레이 부분(3312)은 도 9에 도시된 발광 디바이스 또는 도 8에 도시된 액티브 매트릭스 구동의 액정 디스플레이 디바이스에 적용될 수 있다. 또 다른 집적 회로는 본 발명의 TFT를 적용하여 형성될 수 있다. 비디오 카메라는 본 발명을 사용하여 완성될 수 있다.

도 27c는 메인 본체(3321), 신호 케이블(3322), 헤드 장착 밴드(3323), 화면 부분(3324), 광학 시스템(3325), 디스플레이(3326) 등을 포함하는 헤드-장착 디스플레이 일부(우측 절반 부분)를 설명한다. 디스플레이 부분(3326)은 도 9에 도시된 발광 디바이스 또는 도 8에 도시된 액티브 매트릭스 구동의 액정 디스플레이 디바이스에 적용될 수 있다. 또 다른 집적 회로는 본 발명의 TFT를 적용하여 형성될 수 있다. 헤드-장착 디스플레이는 본 발명을 사용하여 완성될 수 있다.

도 27d는 기록 매체를 포함하는 영상 재생 장치(보다 특정하게, DVD 재생 장치)를 설명하고, 이는 메인 본체(3331), 기록 매체(DVD 등)(3332), 동작 스위치(3333), 디스플레이 부분(a)(3334), 또 다른 디스플레이 부분(b)(3335) 등을 포함한다. 디스플레이 부분(a)(3334)은 주로 영상 정보를 디스플레이하는데 사용되고, 디스플레이 부분(b)(3335)은 주로 문자 정보를 디스플레이하는데 사용된다. 디스플레이 부분(3334, 3335)은 도 9에 도시된 발광 디바이스 또는 도 8에 도시된 액티브 매트릭스 구동의 액정 디스플레이 디바이스에 적용될 수 있다. 또 다른 집적 회로는 본 발명의 TFT를 적용하여 형성될 수 있다. 영상 재생 장치는 본 발명을 사용하여 완성될 수 있다.

도 27e는 메인 본체(3341), 디스플레이 부분(3342), 아암(arm) 부분(3343)을 포함하는 고글형 디스플레이(헤드-장착 디스플레이)를 설명한다. 디스플레이 부분(3342)은 도 9에 도시된 발광 디바이스 또는 도 8에 도시된 액티브 매트릭스 구동의 액정 디스플레이 디바이스에 적용될 수 있다. 또 다른 집적 회로는 본 발명의 TFT를 적용하여 형성될 수 있다. 고글형 디스플레이는 본 발명을 사용하여 완성될 수 있다.

도 27f는 메인 본체(3351), 프레임(3352), 디스플레이 부분(3353), 키보드(3354) 등을 포함하는 랩탑 개인용 컴퓨터를 설명한다. 디스플레이 부분(3353)은 도 9에 도시된 발광 디바이스 또는 도 8에 도시된 액티브 매트릭스 구동의 액정 디스플레이 디바이스에 적용될 수 있다. 또 다른 집적 회로는 본 발명의 TFT를 적용하여 형성될 수 있다. 랩탑 개인용 컴퓨터는 본 발명을 사용하여 완성될 수 있다.

도 28a는 디스플레이 패널(panel)(2701), 동작 패널(2702), 및 연결 부분(2703)을 포함하는 휴대용 전화기를 설명한다. 디스플레이 패널(2701)은 액정 디스플레이 디바이스, EL 디스플레이 디바이스에 의해 전형화된 디스플레이 디바이스(2704), 사운드 출력 부분(2705), 및 안테나(2709)로 구성된다. 동작 패널(2702)은 동작기(2706), 전력 스위치(2702), 및 사운드 입력 부분(2708)으로 구성된다. 디스플레이 부분(2704)은 도 9에 도시된 발광 디바이스 또는 도 8에 도시된 액티브 매트릭스 구동의 액정 디스플레이 디바이스에 적용될 수 있다. 또 다른 집적 회로는 본 발명의 TFT를 적용하여 형성될 수 있다. 휴대용 전화기는 본 발명을 사용하여 완성될 수 있다.

또한, 도 28b는 사운드 재생 디바이스, 특정하게 자동차 오디오 장비를 설명하고, 이는 메인 본체(3411), 디스플레이 부분(3412), 및 동작 스위치(3413, 3414)를 포함한다. 디스플레이 부분(3412)은 도 9에 도시된 발광 디바이스 또는 도 8에 도시된 액티브 매트릭스 구동의 액정 디스플레이 디바이스에 적용될 수 있다. 또 다른 접적 회로는 본 발명의 TFT를 적용하여 형성될 수 있다. 사운드 재생 디바이스는 본 발명을 사용하여 완성될 수 있다.

도 28c는 메인 본체(3501), 디스플레이 부분(A)(3502), 뷰 파인더(view finder) 부분(3503), 동작 스위치(3504), 디스플레이 부분(B)(3505), 및 배터리(3506)를 포함하는 디지털 카메라를 설명한다. 디스플레이 부분(3502, 3505)은 도 9에 도시된 발광 디바이스 또는 도 8에 도시된 액티브 매트릭스 구동의 액정 디스플레이 디바이스에 적용될 수 있다. 또 다른 접적 회로는 본 발명의 TFT를 적용하여 형성될 수 있다. 디지털 카메라는 본 발명을 사용하여 완성될 수 있다.

발명의 효과

상기에 설명된 바와 같이, 본 발명은 모든 분야에서 넓은 범위의 전자 장치에 다양하게 적용될 수 있다. 본 실시예의 전자 장치는 실시예 1 내지 12에 도시된 구성을 중 임의의 것을 사용할 수 있다. 상술된 바와 같이, 본 발명은 똑같은 처리에 의해 똑같은 기판 상에 다른 LDD 구조의 n-채널 TFT 및 p-채널 TFT를 형성할 수 있다. 구해진 액티브 매트릭스 기판은 똑같은 기판 상에 발광층을 갖는 디스플레이 디바이스, 또는 액정 디스플레이 디바이스를 제조하는데 사용될 수 있다.

포토 마스크(photo mask)의 수를 감소시킴으로서, 생산성을 개선시키게 된다. 부가하여, 본 발명은 상술된 바와 같이 n-채널 TFT의 LDD 구조를 최적화함으로서 액티브 매트릭스(active matrix) 기판의 확실성 및 성능 특성을 동시에 개선시킬 수 있다.

(57) 칭구의 범위

청구항 1.

반도체 디바이스를 제조하는 방법에 있어서:

제 1 절연막 상에 서로 분리된 제 1 반도체막, 제 2 반도체막, 및 제 3 반도체막을 형성하는 단계;

상기 제 1 반도체막, 제 2 반도체막, 및 제 3 반도체막 상에 제 2 절연막을 형성하는 단계;

상기 제 1 반도체막에 인접한 제 1 형상의 제 1 전극을 형성하고, 상기 제 2 반도체막에 제 1 형상의 제 2 전극을 형성하고, 상기 제 3 반도체막 상에 제 1 형상의 제 3 전극을 형성하는 단계;

상기 제 1 형상의 제 1 전극, 상기 제 1 형상의 제 2 전극, 및 상기 제 1 형상의 제 3 전극을 마스크(mask)로서 사용하여 상기 제 1 반도체막, 상기 제 2 반도체막, 및 상기 제 3 반도체막에 제 1 도핑 처리를 통하여, 한 도전성의 제 1 농도 불순물 영역들을 형성하는 단계;

상기 제 1 형상의 제 1 전극, 상기 제 1 형상의 제 2 전극, 및 상기 제 1 형상의 제 3 전극으로부터 제 2 형상의 제 1 전극, 제 2 형상의 제 2 전극, 및 제 2 형상의 제 3 전극을 형성하는 단계;

제 2 도핑 처리를 통하여, 상기 제 2 반도체막에 한 도전형의 제 2 농도 불순물 영역을 형성하고, 상기 제 1 반도체막 및 상기 제 2 반도체막에 한 도전형의 제 3 농도 불순물 영역들을 형성하는 단계로서, 상기 제 2 농도 불순물 영역은 상기 제 2 형상의 제 2 전극과 오버랩되는, 상기 제 2 및 제 3 농도 불순물 영역 형성 단계; 및

제 3 도핑 처리를 통하여, 상기 제 3 반도체막에 제 4 농도 불순물 영역 및 제 5 농도 불순물 영역을 형성하는 단계로서, 상기 영역들은 상기 한 도전형과 반대인 다른 도전형을 갖는, 상기 제 4 및 제 5 농도 불순물 영역 형성 단계를 구비하는, 반도체 디바이스 제조 방법.

청구항 2.

반도체 디바이스를 제조하는 방법에 있어서,

제 1 절연막 상에 제 1 반도체막, 제 2 반도체막, 및 제 3 반도체막을 형성하는 단계;

상기 제 1, 제 2, 및 제 3 반도체막들 상에 제 2 절연막을 형성하는 단계;

상기 제 2 절연막 상에 제 1 도전성막을 형성하는 단계;

상기 제 1 도전성막 상에 제 2 도전성막을 형성하는 단계;

상기 제 1 반도체막에 인접한 제 1 형상의 제 1 전극, 상기 제 2 반도체막에 인접한 제 1 형상의 제 2 전극, 및 상기 제 3 반도체막에 인접한 제 1 형상의 제 3 전극을 형성하기 위해 제 1 에칭 처리를 통하여 상기 제 1 도전성막 및 상기 제 2 도전성막을 에칭하는 단계;

제 1 도핑 처리를 통하여, 상기 제 1 반도체막, 상기 제 2 반도체막, 및 상기 제 3 반도체막에 한 도전형의 제 1 농도 불순물 영역들을 형성하는 단계;

제 2 형상의 제 1 전극, 제 2 형상의 제 2 전극, 및 제 2 형상의 제 3 전극을 형성하기 위해 제 2 에칭 처리를 통하여 상기 제 1 형상의 제 1 전극, 상기 제 2 전극, 및 상기 제 3 전극을 에칭하는 단계;

제 2 도핑 처리를 통하여, 상기 제 2 반도체막에 한 도전형의 제 2 농도 불순물 영역을 형성하고, 상기 제 1 반도체막 및 상기 제 2 반도체막에 한 도전형의 제 3 농도 불순물 영역들을 형성하는 단계; 및

제 3 도핑 처리를 통하여, 상기 제 3 반도체막에 제 4 농도 불순물 영역 및 제 5 농도 불순물 영역을 형성하는 단계로서, 상기 영역들은 상기 한 도전형과 반대인 다른 도전형을 갖는, 상기 형성 단계를 구비하는, 반도체 디바이스 제조 방법.

청구항 3.

반도체 디바이스를 제조하는 방법에 있어서:

제 1 절연막상에 서로 분리된 제 1 반도체막, 제 2 반도체막, 및 제 3 반도체막을 형성하는 단계;

상기 제 1 반도체막 위에 상기 제 2 절연막을 개재시켜 제 1 형상의 제 1 전극을 형성하는 단계;

상기 제 1 형상의 제 1 전극을 마스크로서 사용하여 상기 제 1 반도체막에 한 도전형의 제 1 농도 불순물 영역을 형성하는 단계;

상기 제 2 반도체막 및 상기 제 3 반도체막 위에 상기 제 2 절연막을 개재시켜 제 1 형상의 제 2 전극 및 제 1 형상의 제 3 전극을 형성하는 단계;

제 2 형상의 제 2 전극 및 제 2 형상의 제 3 전극을 형성하도록 각각 상기 제 1 형상의 제 2 전극 및 상기 제 1 형상의 제 3 전극을 에칭하는 단계;

제 2 도핑 처리를 통하여, 상기 제 2 반도체막에 한 도전형의 제 2 농도 불순물 영역을 형성하고, 상기 제 1 반도체막 및 상기 제 2 반도체막에 한 도전형의 제 3 농도 불순물 영역들을 형성하는 단계로서, 상기 제 2 농도 불순물 영역은 상기 제 2 형상의 제 2 전극과 오버랩되는, 상기 제 2 및 제 3 농도 불순물 영역 형성 단계; 및

제 3 도핑 처리를 통하여, 상기 제 3 반도체막에 제 4 농도 불순물 영역 및 제 5 농도 불순물 영역을 형성하는 단계로서, 상기 영역들은 상기 한 도전형과 반대인 다른 도전형을 갖는, 상기 제 4 및 제 5 농도 불순물 영역 형성 단계를 구비하는, 반도체 디바이스 제조 방법.

청구항 4.

반도체 디바이스를 제조하는 방법에 있어서,

제 1 절연막 상에 제 1 반도체막, 제 2 반도체막, 및 제 3 반도체막을 형성하는 단계;

상기 제 1 반도체막, 상기 제 2 반도체막, 및 상기 제 3 반도체막상에 제 2 절연막을 형성하는 단계;

상기 제 2 절연막상에 제 1 도전성막을 형성하는 단계;

상기 제 1 도전성막상에 제 2 도전성막을 형성하는 단계;

상기 제 1 반도체막에 인접한 제 1 형상의 제 1 전극을 형성하기 위해 제 1 에칭 처리를 통하여 상기 제 1 도전성막 및 상기 제 2 도전성막을 에칭하는 단계;

제 1 도핑 처리를 통하여, 상기 제 1 형상의 제 1 전극을 마스크로서 사용하여 상기 제 1 반도체막에 한 도전형의 제 1 농도 불순물 영역을 형성하는 단계;

상기 제 2 반도체막 및 상기 제 3 반도체막 위에 제 1 형상의 제 2 전극 및 제 1 형상의 제 3 전극을 형성하기 위해 제 2 에칭 처리를 통하여 상기 제 1 도전성막 및 상기 제 2 도전성막을 에칭하는 단계;

제 2 형상의 제 2 전극 및 제 2 형상의 제 3 전극을 형성하기 위해 제 3 에칭 처리를 통하여 상기 제 1 형상의 제 2 전극 및 상기 제 1 형상의 제 3 전극을 에칭하는 단계;

제 2 도핑 처리를 통하여, 상기 제 2 반도체막에 한 도전형의 제 2 농도 불순물 영역을 형성하고, 상기 제 1 반도체막 및 상기 제 2 반도체막에 한 도전형의 제 3 농도 불순물 영역들을 형성하는 단계; 및

제 3 도핑 처리를 통하여, 상기 제 3 반도체막에 제 4 농도 불순물 영역 및 제 5 농도 불순물 영역을 형성하는 단계로서, 상기 영역들은 상기 한 도전형과 반대인 다른 도전형을 갖는, 상기 제 4 및 제 5 농도 불순물 영역 형성 단계를 구비하는, 반도체 디바이스 제조 방법.

청구항 5.

제 2 항에 있어서, 상기 제 1 도전성막은 Ta, W, Ti, 및 Mo로 구성된 그룹에서 선택된 하나 또는 그 이상의 원소들과 질소의 화합물로 형성되고,

상기 제 2 도전성막은 Ta, W, Ti, 및 Mo로 구성된 그룹에서 선택된 하나 또는 그 이상의 원소들을 포함하는 합금으로 형성되는, 반도체 디바이스 제조 방법.

청구항 6.

제 3 항에 있어서, 상기 제 1 도전성막은 Ta, W, Ti, 및 Mo로 구성된 그룹에서 선택된 하나 또는 그 이상의 원소들과 질소의 화합물로 형성되고,

제 2 도전성막은 Ta, W, Ti, 및 Mo로 구성된 그룹에서 선택된 하나 또는 그 이상의 원소들을 포함하는 합금으로 형성되는, 반도체 디바이스 제조 방법.

청구항 7.

제 4 항에 있어서, 상기 제 1 도전성막은 Ta, W, Ti, 및 Mo로 구성된 그룹에서 선택된 하나 또는 그 이상의 원소들과 질소의 화합물로 형성되고,

상기 제 2 도전성막은 Ta, W, Ti, 및 Mo로 구성된 그룹에서 선택된 하나 또는 그 이상의 원소들을 포함하는 합금으로 형성되는, 반도체 디바이스 제조 방법.

청구항 8.

제 2 항에 있어서, 상기 제 2 도전성막은 실리콘을 주로 포함하는 막인, 반도체 디바이스 제조 방법.

청구항 9.

제 3 항에 있어서, 상기 제 2 도전성막은 실리콘을 주로 포함하는 막인, 반도체 디바이스 제조 방법.

청구항 10.

제 4 항에 있어서, 상기 제 2 도전성막은 실리콘을 주로 포함하는 막인, 반도체 디바이스 제조 방법.

청구항 11.

제 2 항에 있어서, 상기 제 2 도전성막은 알루미늄이나 구리를 주로 포함하는 막인, 반도체 디바이스 제조 방법.

청구항 12.

제 3 항에 있어서, 상기 제 2 도전성막은 알루미늄이나 구리를 주로 포함하는 막인, 반도체 디바이스 제조 방법.

청구항 13.

제 4 항에 있어서, 상기 제 2 도전성막은 알루미늄이나 구리를 주로 포함하는 막인, 반도체 디바이스 제조 방법.

청구항 14.

제 1 항에 있어서, 상기 반도체 디바이스는 비디오 카메라, 디지털 카메라, 고글형(goggle type) 디스플레이, 자동차 네비게이션(navigation) 시스템, 오디오 재생 디바이스, 랩탑(laptop) 개인용 컴퓨터, 게임 장비, 휴대용 정보 단말기, 및 영상 재생 디바이스로 구성된 그룹에서 선택된 전자 장치들에 포함되는, 반도체 디바이스 제조 방법.

청구항 15.

제 2 항에 있어서, 상기 반도체 디바이스는 비디오 카메라, 디지털 카메라, 고글형(goggle type) 디스플레이, 자동차 네비게이션(navigation) 시스템, 오디오 재생 디바이스, 랩탑(laptop) 개인용 컴퓨터, 게임 장비, 휴대용 정보 단말기, 및 영상 재생 디바이스로 구성된 그룹에서 선택된 전자 장치들에 포함되는, 반도체 디바이스 제조 방법.

청구항 16.

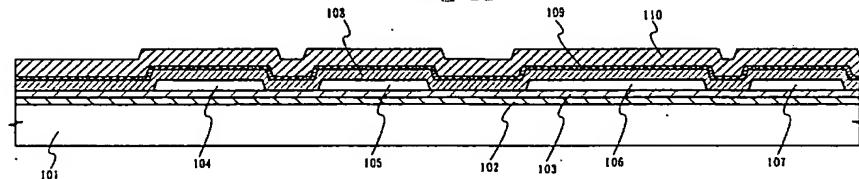
제 3 항에 있어서, 상기 반도체 디바이스는 비디오 카메라, 디지털 카메라, 고글형(goggle type) 디스플레이, 자동차 네비게이션(navigation) 시스템, 오디오 재생 디바이스, 랩탑(laptop) 개인용 컴퓨터, 게임 장비, 휴대용 정보 단말기, 및 영상 재생 디바이스로 구성된 그룹에서 선택된 전자 장치들에 포함되는, 반도체 디바이스 제조 방법.

청구항 17.

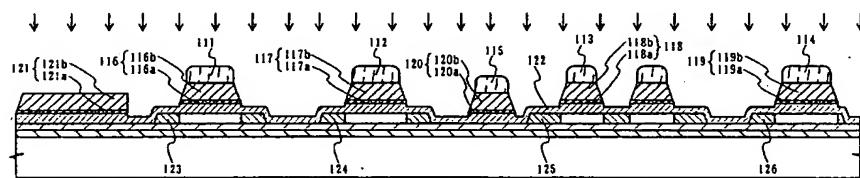
제 4 항에 있어서, 상기 반도체 디바이스는 비디오 카메라, 디지털 카메라, 고글형(goggle type) 디스플레이, 자동차 네비게이션(navigation) 시스템, 오디오 재생 디바이스, 랩탑(laptop) 개인용 컴퓨터, 게임 장비, 휴대용 정보 단말기, 및 영상 재생 디바이스로 구성된 그룹에서 선택된 전자 장치들에 포함되는, 반도체 디바이스 제조 방법.

도면

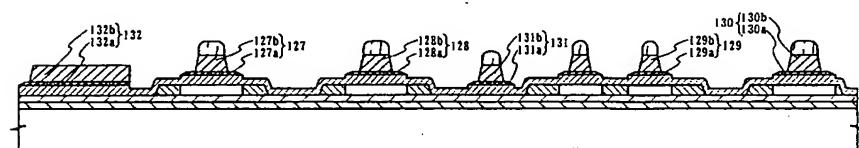
도면 1a



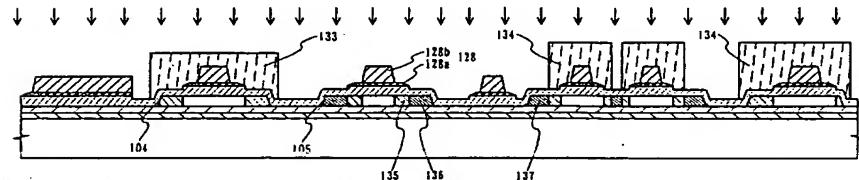
도면 1b



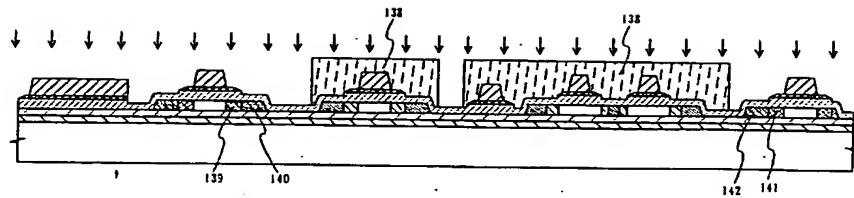
도면 2a



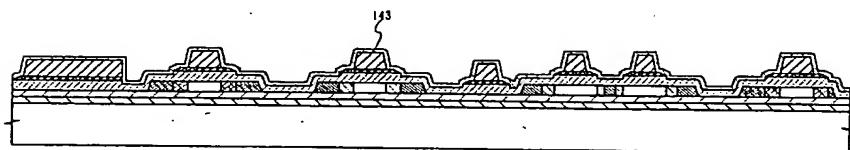
도면 2b



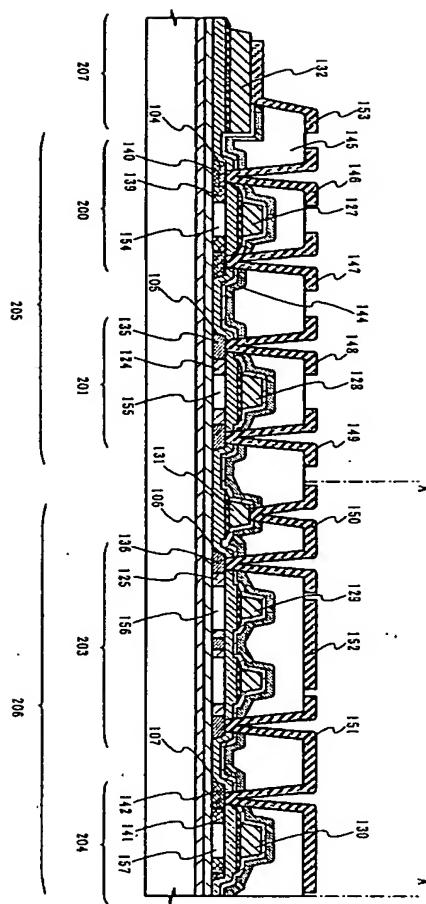
도면 3a



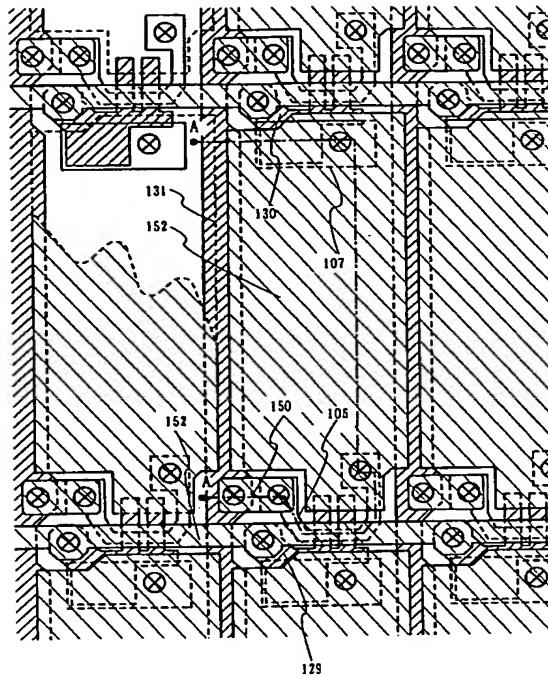
도면 3b



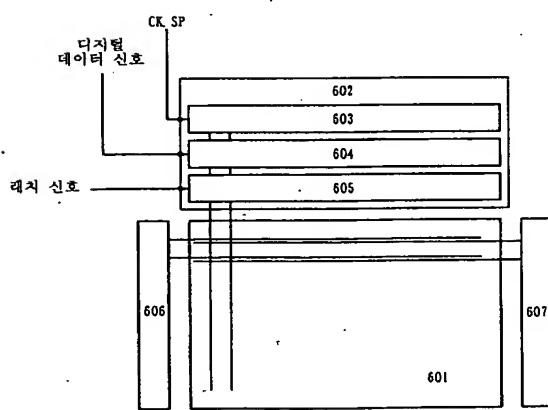
도면 4



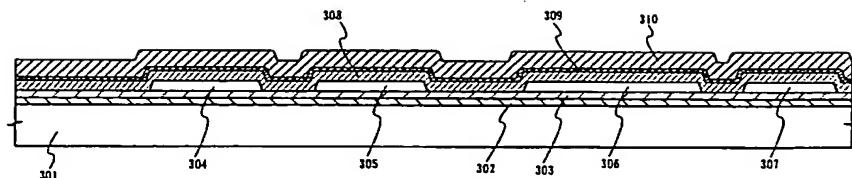
도면 5



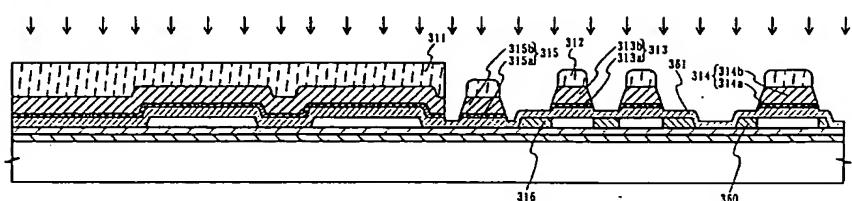
도면 6



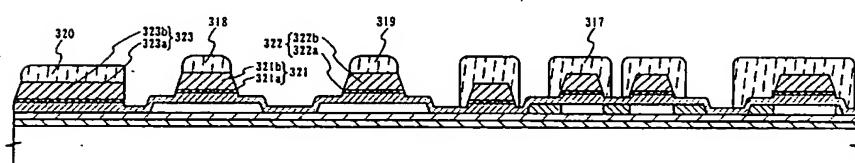
도면 7a



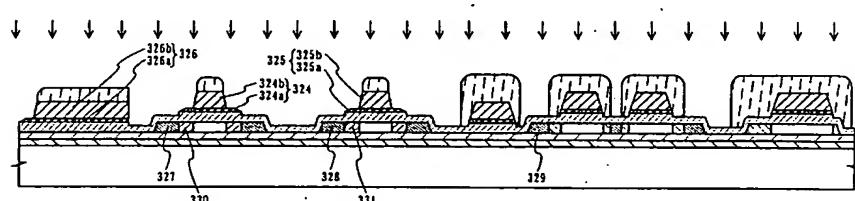
도면 7b



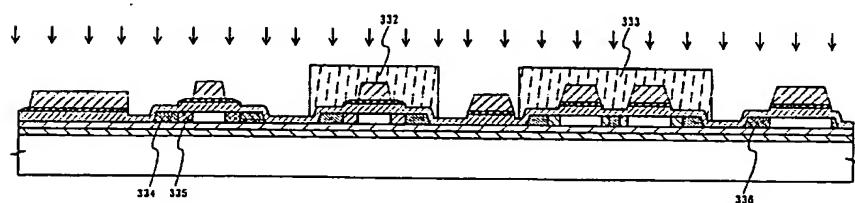
도면 8a



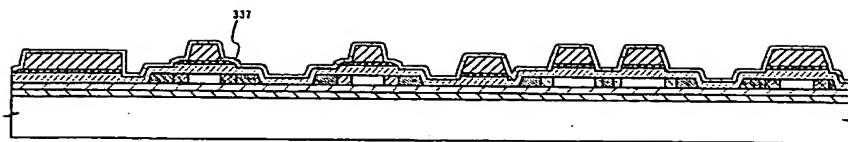
도면 8b



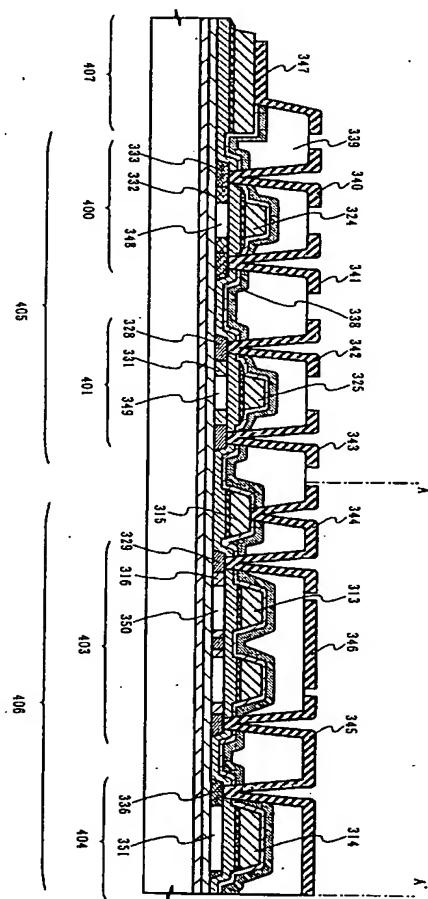
도면 9a



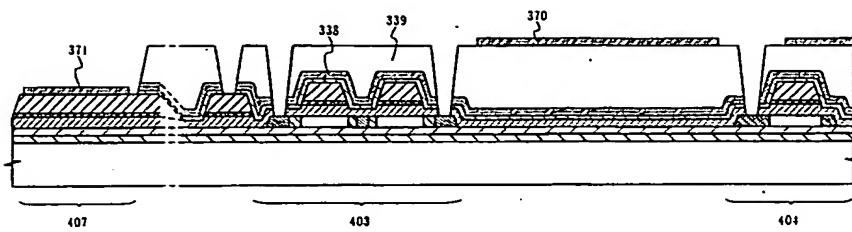
도면 9b



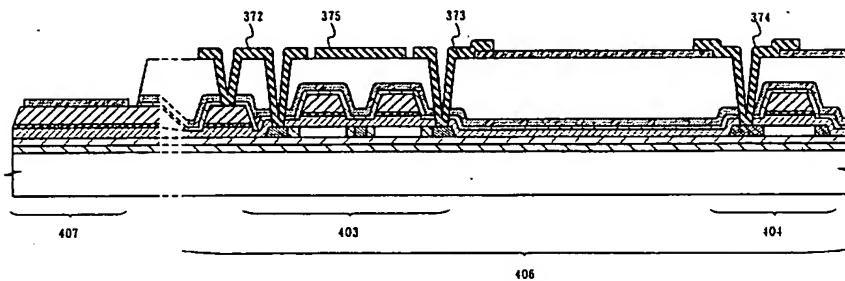
도면 10



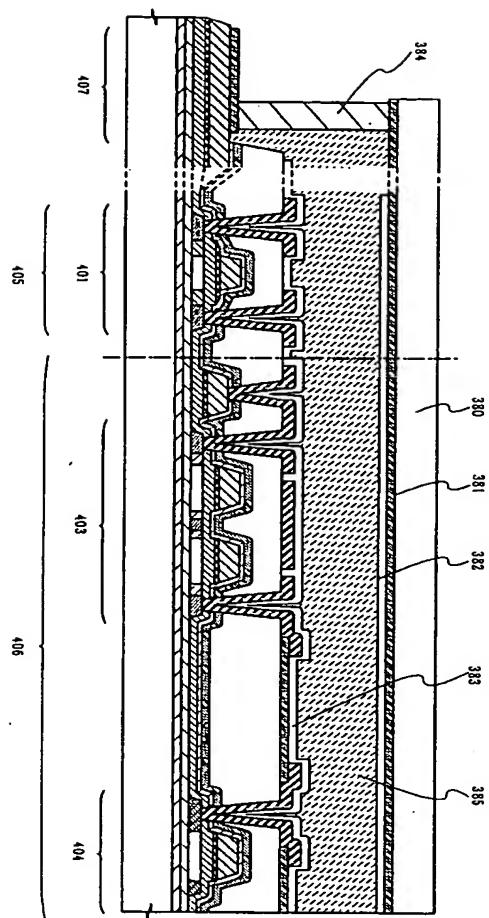
도면 11a



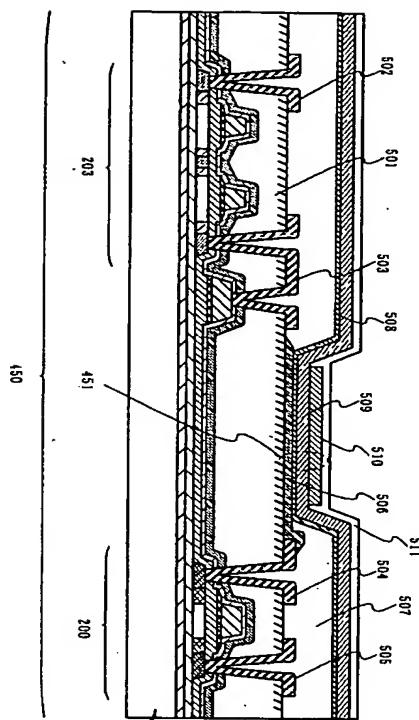
도면 11b



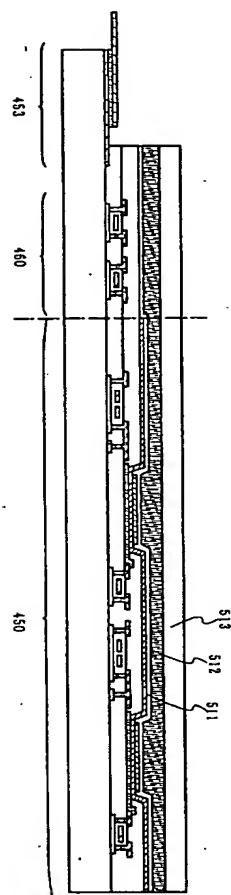
도면 12



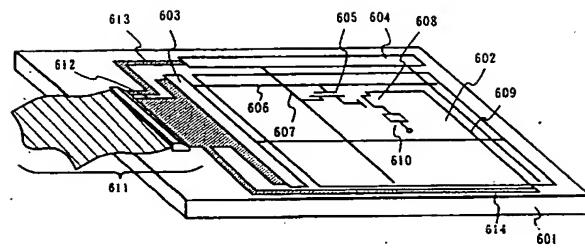
도면 13



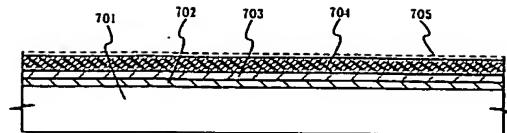
도면 14



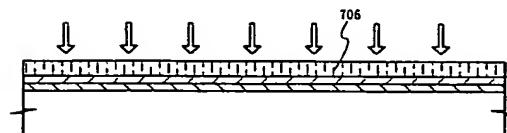
도면 15



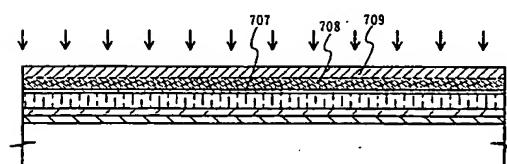
도면 16a



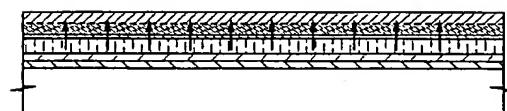
도면 16b



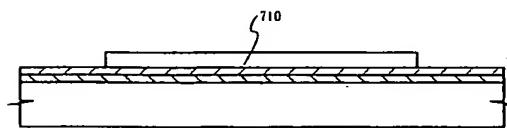
도면 16c



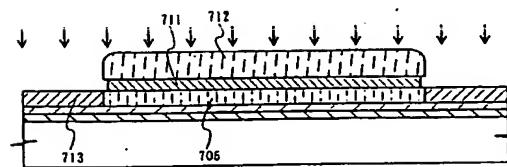
도면 16d



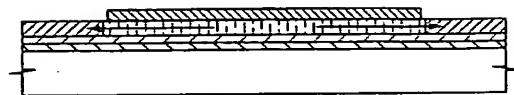
도면 16e



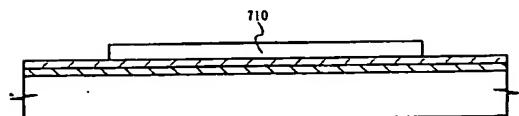
도면 17a



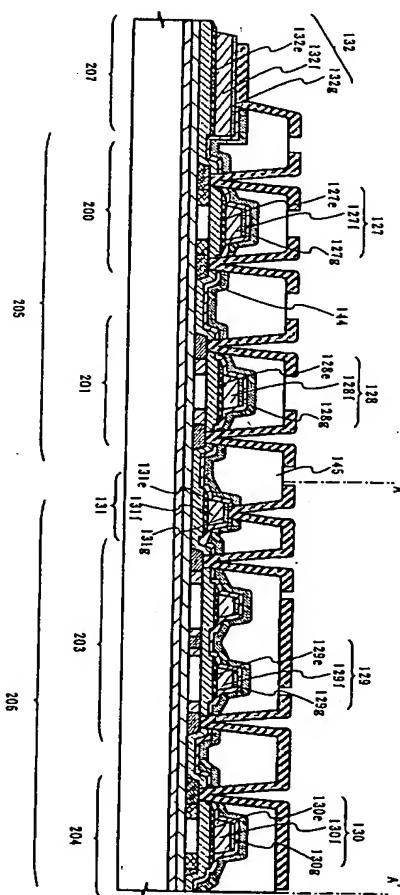
도면 17b



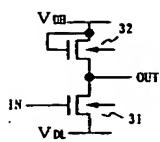
도면 17c



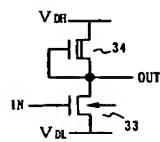
도면 18



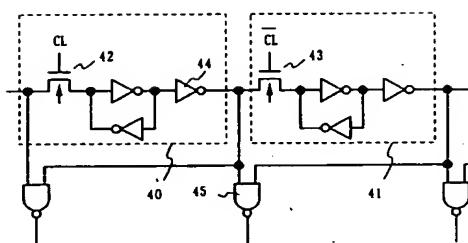
도면 19a



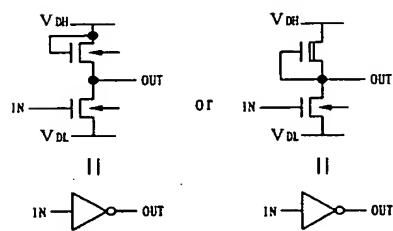
도면 19b



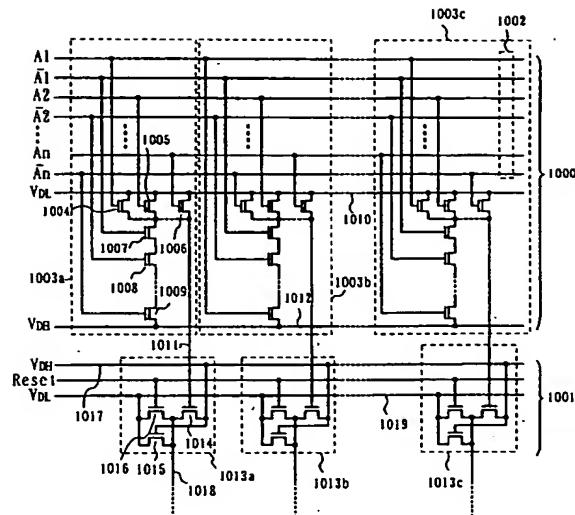
도면 20a



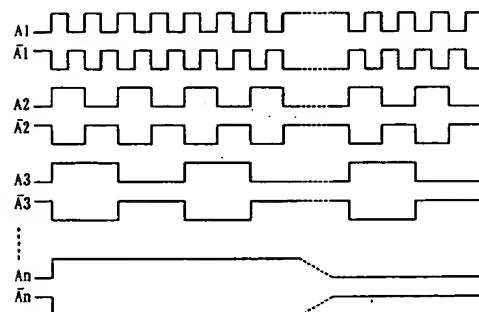
도면 20b



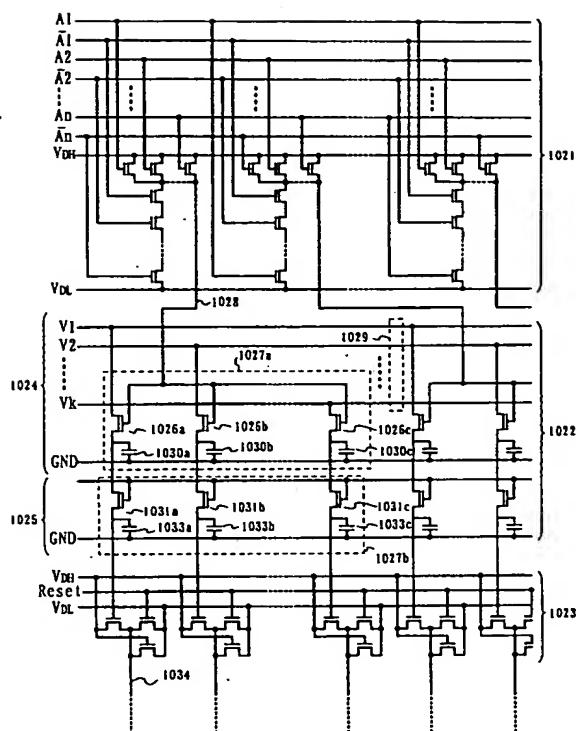
도면 21



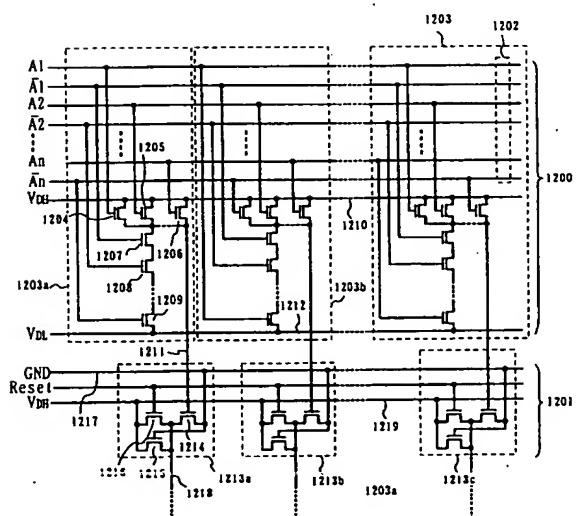
도면 22



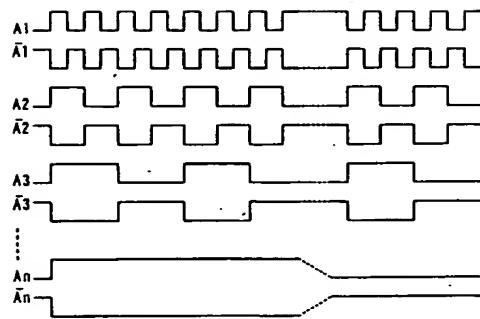
도면 23



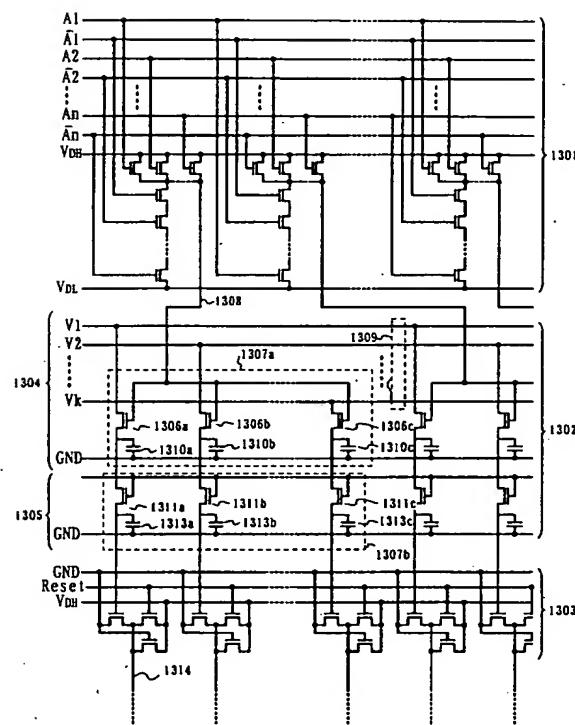
도면 24



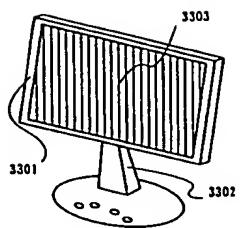
도면 25



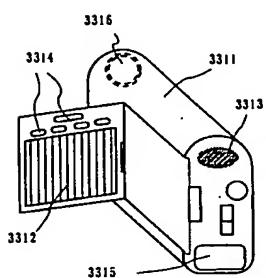
도면 26



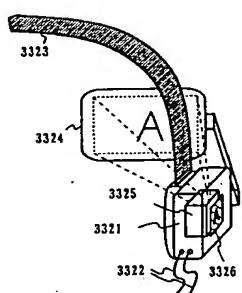
도면 27a



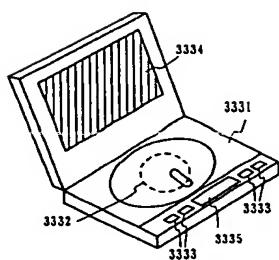
도면 27b



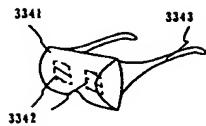
도면 27c



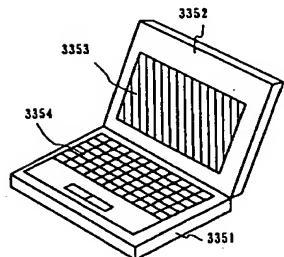
도면 27d



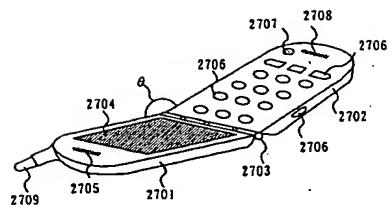
도면 27e



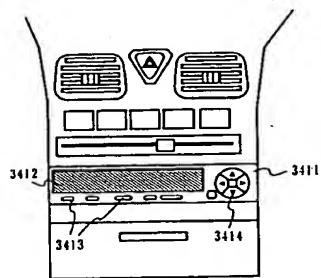
도면 27f



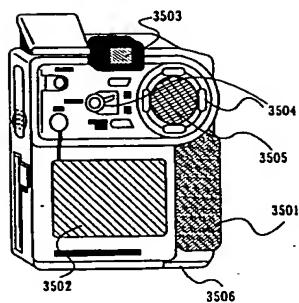
도면 28a



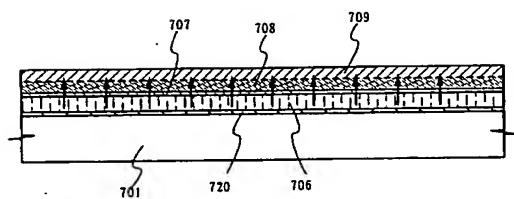
도면 28b



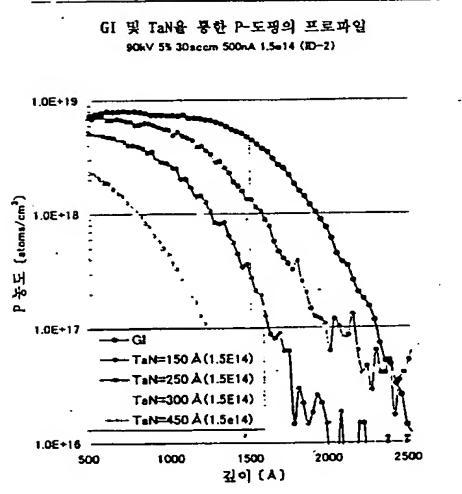
도면 28c



도면 29

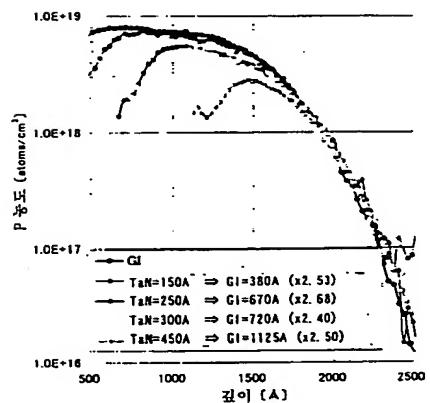


도면 30



도면 31

TaN 두께를 GI 두께로 변환하는 것을 통한
피임에 의해 구해진 프로파일
90kV 5s 30sec/cm 500mA 1.5e14 (D-2)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.